SERVICEANLEITUNG

COMMODORE

8296 & D

DEUTSCH & ENGLISCH

Inhalt Seite

1.	Einleitung	1
2.	Speicherorganisation	1
2.1	Ändern der Speicherorganisation	2
2.2	User Jumper	3
3.	Video-RAM	4
4.	Hardware-Erweiterungen über J4, J9	5
4.1	Memory-Expansion-Bus J4, J9	5
4.2	Stromversorgung für Hardware-Erweiterungen	5

Anhang

A	Memory Map	6
	ROM ASCII/DIN	6a
B.1	Steckverbinder 8296	7
B.2	Steckverbinder, Änderungen gegenüber 8032	11
C	Diagnostic	12
	Taktablauf	20
D	Schaltunterlagen 8296/8296D	21
	" Floppy 8250LP	32
	Bestückungsliste	37

1. Einleitung

Der CBM 8296 ist ein erweiterter CBM 8096. Er ist voll softwarekompatibel zum CBM 8096. Bei der Hardware gibt es einige Änderungen und zusätzliche Optionen, die darauf beruhen, daß der CBM 8296 insgesamt über 128 k RAM verfügt. Außerdem sind die Steckerbelegungen zum Teil geändert.

2. Speicherorganisation

Der CBM 8296 hat zwei RAM Banks von je 64 k Byte, die hier als Grundbank und Erweiterungsbank bezeichnet werden.

Beim Einschalten ist die Grundbank aktiviert, der Rechner verhält sich wie ein normaler CBM 8032. Wie beim 8096 kann statt der oberen Hälfte der Grundbank eine der beiden Hälften der Zusatzbank aktiviert sein. Das Kontrollregister liegt unverändert bei $FFFØ. Anders als im CBM 8032 ist auch jede Adresse der 64 k-Grundbank mit RAM belegt, ein Schreib-Befehl in eine beliebige Adresse (außer I/O) schreibt in die entsprechende RAM-Adresse, ein Lese-Befehl liest zwischen $ØØØØ und $8FFF aus dem RAM, oberhalb von $9ØØØ aus den leeren ROM-Sockeln, aus dem ROM, oder den I/O-Bausteinen.

RAM	$0000 - $FFFF
Leer-Sockel	$9000 - $AFFF
ROM	$B000 - $FFFF, außer $E8XX
I/O	$E800 - $E8FF

2.1. Ändern der Speicherorganisation

Die Speicherorganisation für Lesezugriffe der CPU kann durch die Signale $\overline{\text{RAM SEL 9}}$, $\overline{\text{RAM SEL A}}$, $\overline{\text{RAM ON}}$ (J4, Pin 12, 13, 14) nach folgender Tabelle geändert werden:

Kontroll Register $FFF0					Speicherorganisation der Grundbank, $8000-$FFFF						
CR 7	CR 6	RAM ON	RAM SEL 9	RAM SEL A	$E800 -$E8FF	$F000 -$FFFF	$E000 -$E7FF $E900 -$EFFF	$B000 -$DFFF	$A000 -$AFFF	$9000 -$9FFF	$8000 -$87FF
0	X	1	1	1	I/O	Kernal	Editor	BASIC	EPROM	EPROM	SCREEN
0	X	1	1	0	I/O	Kernal	Editor	BASIC	RAM	EPROM	SCREEN
0	X	1	0	1	I/O	Kernal	Editor	BASIC	EPROM	RAM	SCREEN
0	X	1	0	0	I/O	Kernal	Editor	BASIC	RAM	RAM	SCREEN
0	X	0	1	1	I/O	Kernal	Editor	RAM	RAM	RAM	SCREEN
0	X	0	0	1	I/O	Kernal	RAM	RAM	RAM	RAM	SCREEN
0	1	0	X	0	I/O	RAM	RAM	RAM	RAM	RAM	SCREEN
0	0	0	X	0	RAM	RAM	RAM	RAM	RAM	RAM	SCREEN

2.2 User Jumper

Diese drei Signale können über User-Jumper entweder fest oder programmierbar gesetzt werden. Zur Steuerung unter Programm-Kontrolle werden die Bits 0, 1 und 2 des User-Ports benutzt.

Jumper	Funktionsbeschreibung
JU1	$\overline{\text{RAM SEL A}}$ = LOW
JU2	$\overline{\text{RAM SEL 9}}$ = LOW
JU3	$\overline{\text{RAM SEL A}}$ an PortAØ
JU4	$\overline{\text{RAM SEL 9}}$ an PortA1
JU5	$\overline{\text{RAM ON}}$ an PortA2

Zur Benutzung der User Jumper JU3 bis JU5 müssen die Pins 0, 1 und 2 des User Ports auf Ausgang programmiert werden:

DR = 59459 ($E843)
DA = 59471 ($E84F)

```
POKE DR, PEEK (DR) OR 7
```

Danach kann in das Port-Register DA die gewünschte Bit-Kombination (0 ... 7) geschrieben werden.

Vorsicht: Beim Benutzen von JU3, JU4, JU5 muß sichergestellt werden, daß der User Port nicht unbeabsichtigt beschrieben wird. Dies geschieht z.B. bei manchen Textverarbeitungs-Programmen, die über den User Port eine Centronics-Schnittstelle emulieren.

Das Signal $\overline{\text{RAM ON}}$ muß beim Start high sein, da sonst die POWER ON Routine im ROM nicht abgearbeitet werden kann.

3. Video-RAM

Das Video-RAM liegt wie bisher bei $8ØØØ - $87CF. Beim CBM 8296 kann jedoch der CRT-Controller auf dem gesamten Adreßbereich von $8ØØØ - $9FFF zugreifen, dadurch ergeben sich 3 weitere Bildschirmseiten, die für Programm-Menüs, Help-Listen und ähnliches benutzt werden können. Die 4 Bildschirmseiten können jederzeit beschrieben werden. Das Betriebssystem nutzt nur die erste Seite.

Die Seitenumschaltung bei der Bildwiedergabe geschieht durch Veränderung der VIDEO-RAM-Startadresse im CRT-Controller (Reg. 12):

```
POKE 59520, 12
POKE 59521,  x
```

wobei
- x=Ø für Seite 1 ($8ØØØ-$87CF, Einschaltwert)
- x=4 für Seite 2 ($88ØØ-$8FCF)
- x=8 für Seite 3 ($9ØØØ-$97CF)
- x=12 für Seite 4 ($98ØØ-$9FCF)

Betätigung der Umschaltung zwischen Text-Modus und Grafik-Modus bringt jedesmal die Bildschirmseite 1 zurück zur Anzeige.

Die Benutzung der Seiten 3 und 4 setzt voraus, daß der IC-Sockel UE10 frei ist oder daß das Signal $\overline{\text{RAM SEL 9}}$ auf LOW gelegt wird, da sonst das ROM im UE10 gleichzeitig Daten sendet.

Für einen Lesezugriff der CPU auf die Bildschirmseiten 3 und 4 muß ebenfalls $\overline{\text{RAM SEL 9}}$ auf LOW gesetzt sein (siehe 2.).

Andere Parameter des Screen Controllers sollten gegenüber den normalen Betriebszuständen (Text bzw. Grafik) nur mit äußerster Vorsicht verändert werden. Die im CBM 8296 verwendeten dynamischen RAM-Speicher benötigen einen zyklischen Refresh, der vom CRT-Controller erzeugt wird. Um den Refresh sicher zu stellen, müssen in einer Zeit von 4 ms mindestens 256 Zeichen vom CRT-Controller dargestellt werden.

4. Hardware-Erweiterungen über J4, J9

4.1 Memory Expansion Bus J4, J9

Hardwareerweiterungen können über den Memory Expansion Bus (J4,J9) angebunden werden.

Der Daten-Buffer zum Expansion-Bus ist wie beim CBM 8032 stets als Ausgang geschaltet. Soll die CPU vom Expansion-Bus lesen, so sind für den Bereich $AØØØ bis $AFFF der User Jumper JU6 und für den Bereich $9ØØØ bis $9FFF der User Jumper JU7 zu schliessen. Die ROM-Sockel UE10 bzw. UE9 müssen dann natürlich frei bleiben. Im Bereich $8ØØØ bis $8FFF kann der Expansion Bus nicht gelesen werden.
Eine weitere Möglichkeit zum Zugriff auf den Expansion Bus bietet die Leitung $\overline{\text{SEL EXP}}$ (J4, Pin 15). Low-Pegel auf dieser Leitung schaltet den Datenbus-Buffer des Expansion-Bus bei einem Lesebefehl auf Input, unabhängig von der an der CPU anstehenden Adresse. Es ist daher sorgfältig darauf zu achten, daß bei Benutzung von SEL EXP Bus-Konflikte vermieden werden, indem bei jeder Adresse nur eine Datenquelle (RAM, ROM, I/O oder Expansion-Bus) aktiviert wird.

Die Steuerleitung $\overline{\text{SEL EXP}}$ muß mit einem Open-Collector Gatter geschaltet werden. Die Jumper JU 6 und JU 7 können auch zusätzlich geschlossen werden.
Wird die Leitung $\overline{\text{RAM SEL 9}}$ oder $\overline{\text{RAM SEL A}}$ aktiviert, ist das RAM in diesem Adreßbereich eingeschaltet und der Expansion-Bus abgeschaltet.

4.2 Stromversorgung für Hardware-Erweiterungen

Zur Stromversorgung von Hardware-Erweiterungen stehen die Steckverbinder J10 und J11 zur Verfügung. An J11 stehen wie bisher Masse und +9V DC unreguliert (0,8 A max.) zur Verfügung. J10 ist gegenüber dem CBM 8032 geändert und jetzt mit 8V AC (1 A max.) und Masse beschaltet. Insgesamt darf über J10 und J11 nicht mehr als 1A entnommen werden.

A Memory Map

	DEFAULT	MEMORY-MAP FOR CBM 8296					64K RAM UB1-UB8		für Diagnostik		64K RAM UA1-UA8
$F000-$FFFF	4K ROM KERNAL	KERNAL	KERNAL	KERNAL	KERNAL	KERNAL	5 3/4K RAM		FREE	FREE	
$E900-$EFFF	1 3/4K ROM EDITOR	EDITOR	EDITOR	EDITOR	EDITOR	2K RAM					
$E800-$E8FF	1/4K I/O	I/O	I/O	I/O	I/O	I/O	I/O		I/O	RAM	
$E000-$E7FF	2K ROM EDITOR	EDITOR	EDITOR	EDITOR	EDITOR						
$8000-$DFFF	12K ROM BASIC	BASIC	BASIC	BASIC	22K RAM	24K RAM	24K RAM	30K RAM	FREE	FREE	2 x 32 K zusätzl. RAM
$A000-$AFFF	4K ROM USER	ROM	RAM	RAM							
$9000-$9FFF	4K ROM USER	RAM	ROM	RAM							
$8800-$8FFF	2K RAM USER	2K RAM	2K RAM	2K RAM					2K RAM	2K RAM	
$8000-$87FF	2K RAM SCREEN	2K SCREEN	2K SCREEN	2K SCREEN	2K SCREEN	2K SCREEN	2K SCREEN	2K SCREEN	2K SCREEN	2K SCREEN	
$0000-$7FFF	32K RAM	32K RAM	32K RAM	32K RAM	32K RAM	32K RAM	32K RAM	32K RAM	32K RAM	32K RAM	32K RAM
	RAMON = 1 RAMSELA = 1 RAMSEL9 = 1 CR6 = X	RAMON = 1 RAMSELA = 1 RAMSEL9 = 0 CR6 = X	RAMON = 1 RAMSELA = 0 RAMSEL9 = 1 CR6 = X	RAMON = 1 RAMSELA = 0 RAMSEL9 = 0 CR6 = X	RAMON = 0 RAMSELA = 1 RAMSEL9 = 1 CR6 = X	RAMON = 0 RAMSELA = 1 RAMSEL9 = 0 CR6 = X	RAMON = 0 RAMSELA = 0 RAMSEL9 = X CR6 = 1	RAMON = 0 RAMSELA = 0 RAMSEL9 = X CR6 = 0	RAMON = X RAMSELA = X RAMSEL9 = X CR6 = 1	RAMON = X RAMSELA = X RAMSEL9 = X CR6 = 0	RAMON = X RAMSELA = X RAMSEL9 = X
	NO ROM = 1								NO ROM = 0		NO ROM = X
	CR7 = 0										CR7 = 1

EDITOR für 8296 (UE8)

8296	ASCII	901474-04
8296	DIN	324243-01
8296-D	ASCII	324243-02B
8296-D	DIN	324243-03

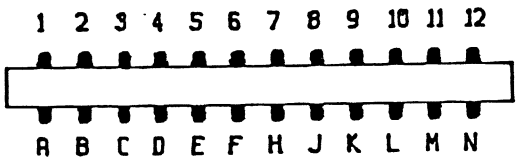
CHARACTER-GENERATOR (UC5)

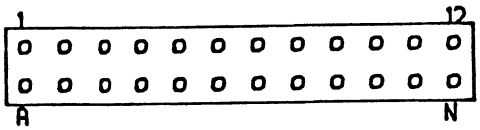
8296	ASCII	901447-10
8296-D	ASCII	901447-10
8296	DIN	324242-01
8296-D	DIN	324242-01

IEEE

PINBELEGUNG STECKER J1/J12

PIN	SIGNAL	PIN	SIGNAL
1	DIO 1	A	DIO 5
2	DIO 2	B	DIO 6
3	DIO 3	C	DIO 7
4	DIO 4	D	DIO 8
5	EOI	E	REN
6	DAV	F	GND
7	NRFD	H	
8	NDAC	J	
9	IFC	K	
10	SRQ	L	
11	ATN	M	
12	CHASSIS GND	N	GND

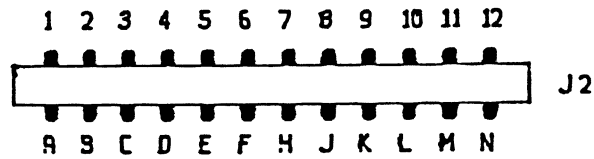




USER - PORT

PINBELEGUNG STECKER J2

PIN	SIGNAL	PIN	SIGNAL
1	GND	A	GND
2	VIDEO	B	CA1
3	SRQ IN	C	PA0
4	EOI	D	1
5	DIAG	E	2
6	*2CASSREAD	F	3
7	CASSWRITE	H	4
8	*1CASSREAD	J	5
9	VERT DRIVE	K	6
10	HORZ DRIVE	L	7
11	GRAPHIC	M	CB2
12	GND	N	GND



CASSETTE 1

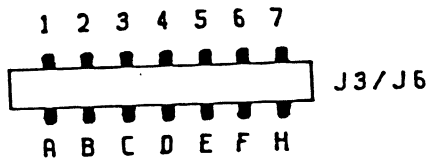
PINBELEGUNG STECKER J3

PIN	PIN	SIGNAL
1	A	GND
2	B	+5V
3	C	CASS MOTOR
4	D	CASS READ *1
5	E	CASS WRITE
6	F	CASS SWITCH*1

CASSETTE 2

PINBELEGUNG STECKER J6

PIN	PIN	SIGNAL
1	A	GND
2	B	+5V
3	C	CASS MOTOR
4	D	CASS READ *2
5	E	CASS WRITE
6	F	CASS SWITCH*2



MEMORY - EXPANSION

PINBELEGUNG STECKER J4

PIN	SIGNAL	PIN	SIGNAL
1	GND	26	GND
2	BD0	27	
3	1	28	
4	2	29	
5	3	30	
6	4	31	
7	5	32	
8	6	33	
9	7	34	
10	N.C.	35	
11	N.C.	36	
12	$\overline{\text{RAMSEL9}}$	37	
13	$\overline{\text{RAMSELA}}$	38	
14	$\overline{\text{RAMON}}$	39	
15	$\overline{\text{SELEXP}}$	40	
16	N.C.	41	
17	$\overline{\text{CS 9}}$	42	
18	$\overline{\text{CS A}}$	43	
19	$\overline{\text{CS E}}$	44	
20	$\overline{\text{NOROM}}$	45	
21	$\overline{\text{PENSTRB}}$	46	
22	$\overline{\text{RESET}}$	47	
23	READY	48	
24	$\overline{\text{NMI}}$	49	
25	GND	50	GND

J4

25 o o 50

o o

o o

o o

o o

o o

o o

o o

o o

o o

o o

o o

o o

o o

o o

o o

o o

o o

o o

o o

o o

o o

o o

1 o o 26

KEYBOARD

PINBELEGUNG STECKER J5

PIN	SIGNAL
A	KIN 0
B	1
C	2
D	3
E	4
F	5
H	6
J	7
1	DEC 0
2	1
3	2
4	3
5	4
6	5
7	6
8	7
9	8
10	9
11	KEY
12	GND

J5

o	A
o	B
o	C
o	D
o	E
o	F
o	H
o	J
o	1
o	2
o	3
o	4
o	5
o	6
o	7
o	8
o	9
o	10
	11
o	12

VIDEO

PINBELEGUNG STECKER J7

PIN	SIGNAL
1	VIDEO
2	GND
3	VERT DRIVE
4	GND
5	HORZ DRIVE
6	KEY
7	GND

1 o
2 o
3 o
4 o
5 o
6
7 o

POWER IN

PINBELEGUNG STECKER J8

PIN	SIGNAL
1	AC
2	GND
3	AC

1 o
2 o
3 o

MEMORY - EXPANSION

PINBELEGUNG STECKER J9

PIN	SIGNAL	PIN	SIGNAL
1	GND	26	GND
2	BA 0	27	
3	1	28	
4	2	29	
5	3	30	
6	4	31	
7	5	32	
8	6	33	
9	7	34	
10	8	35	
11	9	36	
12	10	37	
13	11	38	
14	12	39	
15	13	40	
16	14	41	
17	15	42	
18	SYNC	43	
19	$\overline{\text{IRQ}}$	44	
20	DIAG	45	
21	PHI2	46	
22	B R/W	47	
23	$\overline{\text{B R/W}}$	48	
24	N.C.	49	
25	GND	50	GND

J9

25 o o 50
o o
o o
o o
o o
o o
o o
o o
o o
o o
o o
o o
o o
o o
o o
o o
o o
o o
o o
o o
o o
o o
1 o o 26

POWER EXP. AC

PINBELEGUNG STECKER J10

PIN	SIGNAL
1	AC 8V
2	AC 8V
3	GND
4	KEY
5	GND
6	AC 8V
7	AC 8V

1 o
2 o
3 o
4
5 o
6 o
7 o

POWER EXP. DC

PINBELEGUNG STECKER J11

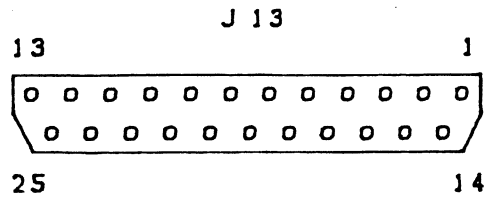
PIN	SIGNAL
1	+9V UNREG.
2	KEY
3	KEY
4	+9V UNREG.
5	GND
6	+9V UNREG.
7	GND

1 o
2
3
4 o
5 o
6 o
7 o

KEYBOARD

PINBELEGUNG STECKER J13

PIN	SIGNAL
1	KIN 0
2	1
3	2
4	3
5	4
6	5
7	6
8	7
9	DEC 0
10	1
11	2
12	3
13	4
14	5
15	6
16	7
17	8
18	9
19	N.C.
20	GND
21	N.C.
22	N.C.
23	N.C.
24	N.C.
25	N.C.



RESET

PINBELEGUNG STECKER J14

PIN	SIGNAL
1	RESET
2	GND

B.2 Steckverbinder, Änderungen gegenüber 8032

C B M 8 2 9 6

Änderungen in der Pin-Belegung

J 4 Memory expansion

Pin	Signal old	Signal new
12	$\overline{\text{SEL 4}}$	$\overline{\text{RAM SEL 9}}$
13	$\overline{\text{SEL 5}}$	$\overline{\text{RAM SEL A}}$
14	$\overline{\text{SEL 6}}$	$\overline{\text{RAM ON}}$
15	$\overline{\text{SEL 7}}$	$\overline{\text{SEL EXP}}$
16	$\overline{\text{SEL 8}}$	N.C.
...		
19	$\overline{\text{SEL B}}$	$\overline{\text{CS E}}$

J 8 Spannungsversorgung

	8032		8296
Pin	Signal	Pin	Signal
1	8V AC	1	AC
2	+9V UNREG	2	GND
3	GND	3	AC
4	8V AC		
5	8V AC		
6	GND		
7	KEY		
8	14V AC		
9	14V AC		

J 10 Spannungsversorgung für Hardware-Erweiterung

Pin	Signal old	Signal new
1	-9V UNREG	AC 1
2	-9V UNREG	AC 1
3	KEY	GND
4	+16V UNREG	KEY
5	+16V UNREG	GND
6	GND	AC 2
7	GND	AC 2

Beschreibung und Bedienungs-Hinweise zum Programm 'diagnostic 8296' für Fehlerdiagnosen mit dem Test-Clip

1. Allgemeine Hinweise

1.1 Gültigkeit dieser Beschreibung

Nachfolgende Beschreibung bezieht sich auf die Programmversion

V1.3 Date: 05-10-84

(vgl. EPROM-Aufkleber). Änderungen bleiben vorbehalten.

1.2 Eigenschaften des Programms

Das Programm (im EPROM 2532) testet RAM, ROM, die Peripherie-Bausteine für USER-Port, Keyboard, IEEE-Bus, die beiden Kassetten-Interfaces sowie das CHARACTER-ROM der CBM 8296 Platine

ASSY NO. 324645 REV. B .

Es ist als Diagnose-Hilfe bei defekten Leiterplatten sowie als Test-Software für Dauertests bei statistisch auftretenden Fehlern gedacht. Es kann nicht in jedem Fall eindeutige Fehleraussagen oder Reparaturanleitungen liefern, sondern nur dazu dienen, aufgetretene Fehler zu lokalisieren.

1.3 Hardware-Voraussetzungen für den Einsatz des Programms

a) Es darf kein Fehler an der CPU selbst und im Master-Timing vorliegen.
b) Die Adapter-Stecker für J13, J3 und J6 sowie J2 und J4 müssen aufgesteckt sein und einwandfreien Kontakt zur Platine haben (ggf. mit Ohm-Meter prüfen).
c) Am IEEE-Bus darf kein Gerät (Floppy etc.) angeschlossen sein.

2. Beschreibung des Programms

2.1 Starten des Programms

Der 40-polige IC-Clip ist auf die CPU (IC UC11) aufzusetzen. Dabei ist auf richtige Polung und einwandfreien Kontakt zu achten. Nach Betätigen der RESET-Taste am Test-Clip werden zunächst die RAM-Bereiche $0000-$00FF (zero page) und $0100-$01FF (stack-page) geprüft. Fehler bei diesen Tests zeigen mit

'ZERO PAGE BAD: BIT x'
bzw. 'STACK PAGE BAD: BIT x' , x = 0,...,7

das defekte Datenbit (x) an.

Mögliche Fehler-Ursachen:

a) Defektes Haupt-RAM (Zuordnung der Daten-Bits zu den IC-Bezeichnungen siehe 2.1.1).
b) Fehlerhafter Daten- bzw. Address-Bus. Fehler der Adress-Multiplexer (UB10,UB11) oder des Daten-Bus-Buffers (UC8).
c) Fehler in der RAM-Ansteuerung (RAS/CAS-Timing) durch Fehler im Main-Timing (UC1,UC2) oder in der FPLAI (UE6).

Trat kein Fehler auf, so kopiert sich das Programm in den RAM-Bereich ab $0200. Fehler beim Kopiervorgang werden mit

'DIAGNOSTIC RAM BAD: BIT x' , x = 0,...,7

angezeigt (mögliche Fehlerursachen siehe oben). Nach erfolgreichem Kopiervorgang meldet sich das Programm mit

'REMOVE CLIP'

(im Sekundentakt 'REVERS' blinkend dargestellt) und wartet, bis der IC-Clip entfernt wurde. Im Gegensatz zum alten 8032 Test-Clip blinkt die rote LED an der Oberseite des Test-Clip-Gehäuses

während dieser Zeit nicht. Danach erscheint das Test-Bild mit den einzelnen Prüfpunkten auf dem Schirm und das eigentliche Testprogramm startet.

2.1 Beschreibung der einzelnen Tests

In der ersten Zeile wird neben Versions-Nummer und -Datum die Anzahl der durchlaufenen Testzyklen angezeigt. Zur Überprüfung von Videoteil und CHARACTER-ROM (UC5) wird in den Zeilen 3-6 der gesamte Business-Zeichensatz dargestellt. Von Zeile 8 an werden die einzelnen Prüfpunkte angezeigt. Der gerade durchgeführte Test wird durch einen '*' vor der Test-Bezeichnung markiert. Bestandene Tests werden durch 'OK' hinter den jeweiligen Bezeichnungen markiert. Alle Fehlermeldungen werden "REVERS" dargestellt und erscheinen hinter den jeweiligen Prüfpunkten. Es folgt eine Kurzbeschreibung der einzelnen Tests:

2.1.1 Test Hauptspeicher und Bildschirmspeicher

Prüfpunkte: 'TEST: RAM 0200-7FFF und
'TEST: RAM 8000-8FFF'

Diese Speicherbereiche werden blockweise mit Bitmustern getestet. Defekte Datenbits werden in der Fehlermeldung

'BAD BIT: x' , x = 0,...,7

spezifiziert und erlauben somit eine genaue Zuordnung zu einem defekten RAM-Baustein:

Bit-Wertigkeit	IC-Bezeichnung
0	UB8
1	UB7
2	UB6
3	UB5
4	UB4
5	UB3
6	UB2
7	UB1

Achtung: Während des Tests des Bildschirm-Speichers läuft ein waagerechter Streifen von oben nach unten durch das Bild. Dies ist kein Fehler im Video-Teil. Bei allen RAM-Tests wird nur dasjenige Bit angezeigt, bei dem zuletzt ein Fehler festgestellt wurde. Das ist bei mehreren Bitfehlern auf derselben Adresse das Bit mit der niedrigsten Wertigkeit.

2.1.2 RAM-Test in den Bereichen $9000-$FFFF

Prüfpunkte:
'TEST: RAM 9000-9FFF'
'TEST: RAM A000-AFFF'
'TEST: RAM B000-E7FF'
'TEST: RAM E900-FFFF'

Prüfung und Fehlermeldungen wie bei 2.1.1

Achtung: Fehlermeldungen auch bei mangelhaftem Kontakt der Adapter-Stecker an J4 und J2.

2.1.3 Test 64 K Zusatz-RAM in 4 16-Kbyte-Blöcken

Prüfpunkte: 'BLOCK 0' bis 'BLOCK 3'

Prüfung und Fehlermeldung wie bei 2.1.1. Zuordnung der Bit-wertigkeit zu den IC-Bezeichnungen:

Bit-Wertigkeit	IC-Bezeichnung
0	UA8
1	UA7
2	UA6
3	UA5
4	UA4
5	UA3
6	UA2
7	UA1

Achtung: Fehler der Address-Multiplexer (UA9,UB9) oder des System-Latch (UE4) mit der zugehörigen Select-Logik sowie Fehler in FPLA I (UE6) oder FPLA II (UE5) führen ebenfalls zu einer Fehlermeldung.

2.1.4 Prüfung der Blockumschalt-Logik

Prüfpunkt: 'FPLA II'

Die Fehlermeldung

'BAD'

identifiziert Fehler im Chip UE5.

Achtung: Die Fehlermeldung erscheint ebenfalls bei Fehlern in UE4 sowie der zugehörigen Select-Logik.

2.1.5 ROM-Test

Prüfpunkte: 'TEST: ROM EDITOR' und
'TEST: KERNAL & BASIC'

Der Test erfolgt mit Hilfe von Prüfsummen. Die Fehlermeldung

'BAD ROM: UE x' , x = 7 oder 8

identifiziert direkt das fehlerhafte ROM bzw. EPROM.

2.1.6 Test Keyboard

Prüfpunkt: 'TEST: KEYBOARD'

Test des Keyboard-Interfaces über angeschlossenen Adapterstecker. Fehlermeldung

'BAD'

bei Fehlern in UE1, UE2.

2.1.7 IEEE-Bus-Test

Prüfpunkt: 'TEST: IEEE 488 BUS'

Es folgt eine Überprüfung der IEEE-Daten und Control-Leitungen (PIA 6520 (UC13) sowie Bus-Treiber (UC14, UC15 und UD9)) auf Kurzschluß bzw. Unterbrechung. Die fehlerhafte Signalleitung wird mit

'xxxx BAD' , xxxx = Signalbezeichnung

gekennzeichnet. Die Fehlermeldung

'DIO x BAD' , x = 1,...,8

tritt bei Kurzschluß zwischen Daten- und Control-Leitungen des IEEE-Bus auf.

Achtung: Die IEEE-Datenleitungen werden mit DIO1-DIO8 bezeichnet (nicht DIO0-DIO7 !)

2.1.8 Test USER-Port

Prüfpunkt: 'TEST: USER PORT'

Fehler der 8 Datenleitungen durch fehlerhafte VIA 6522 (UC12) bzw. durch Kurzschlüsse mit anderen Signalen werden mit

'BAD BIT: x' , x = 0,...,7

gemeldet. Bei fehlender Verbindung der Leitungen CB2 (USER-Port Pin M) und CA1 (USER-Port Pin B) wird nur

'BAD'

angezeigt.

Achtung: Fehlermeldung 'BAD' auch bei mangelhaftem Kontakt von Adapter-Stecker J2.

2.1.9 Test Kassetten-Interface I und II

Prüfpunkte: 'TEST: CASSETTE I' und
'TEST: CASSETTE II'

Test der beiden Kassetten-Ports über die beiden Adapterstecker an J3 und J6. Die Fehlermeldung

'BAD M'

erscheint bei Fehlern in der Motorsteuerung bzw. beim Cassetten-Switch. Bei Fehlern auf den Schreib- bzw. Lese-Leitungen wird

'BAD W'

angezeigt.

Achtung: Fehlermeldungen auch bei mangelhaftem Kontakt der Adapter-Stecker J3, J6.

2.1.10 Test der beiden Timer im VIA 6522

Prüfpunkte: 'TEST: TIMER 1' und
'TEST: TIMER 2'

Die Fehlermeldung

'BAD'

zeigt Fehler im Chip UC12 an.

2.1.11 Test 50 Hz-Bildwechsel-Interrupt

Prüfpunkt: 'TEST: 50 HZ IRQ'

Die Fehlermeldung

'BAD'

kann bei defektem Chip UE2 oder Fehlern im Video-Timing (VSYNC) sowie bei Fehlern an der IRQ-Leitung auftreten.

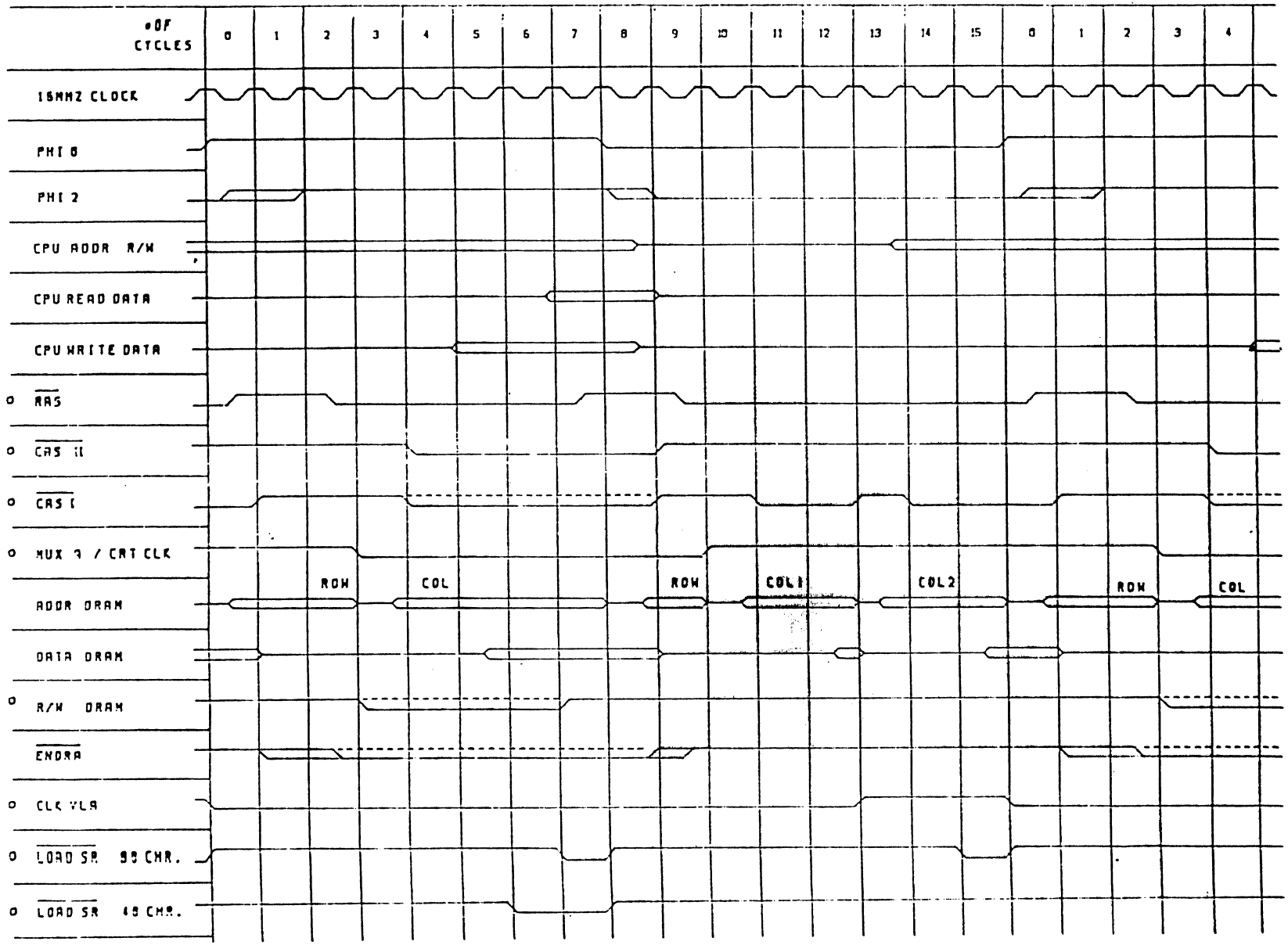
2.2 Test des GRAPHIC-Mode

Nach jedem durchlaufenen Test-Zyklus wird das CHARACTER-ROM für etwa 0,5 Sekunden auf GRAPHIC umgeschaltet. Auf dem Schirm müssen daher kurzzeitig die den Bildschirm-Codes zugeordneten Graphik-Zeichen zu sehen sein.

2.3 Stoppen des Programms

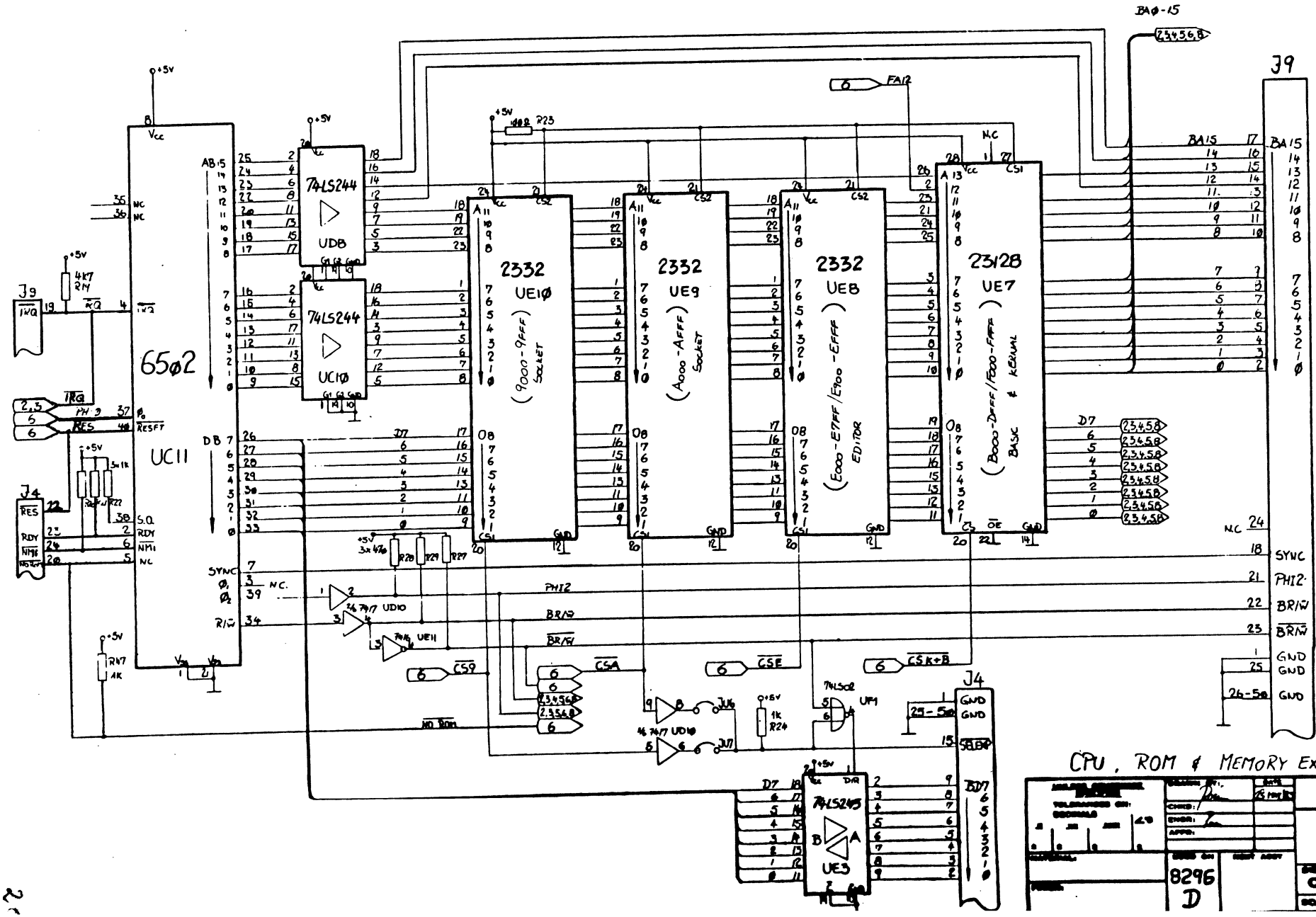
Durch Ausschalten des Rechners bzw. Drücken der Taste RESET-Taste.

TIMING-DIAGRAMM C64 4032/8032/8096 CR BSW 27.06.83

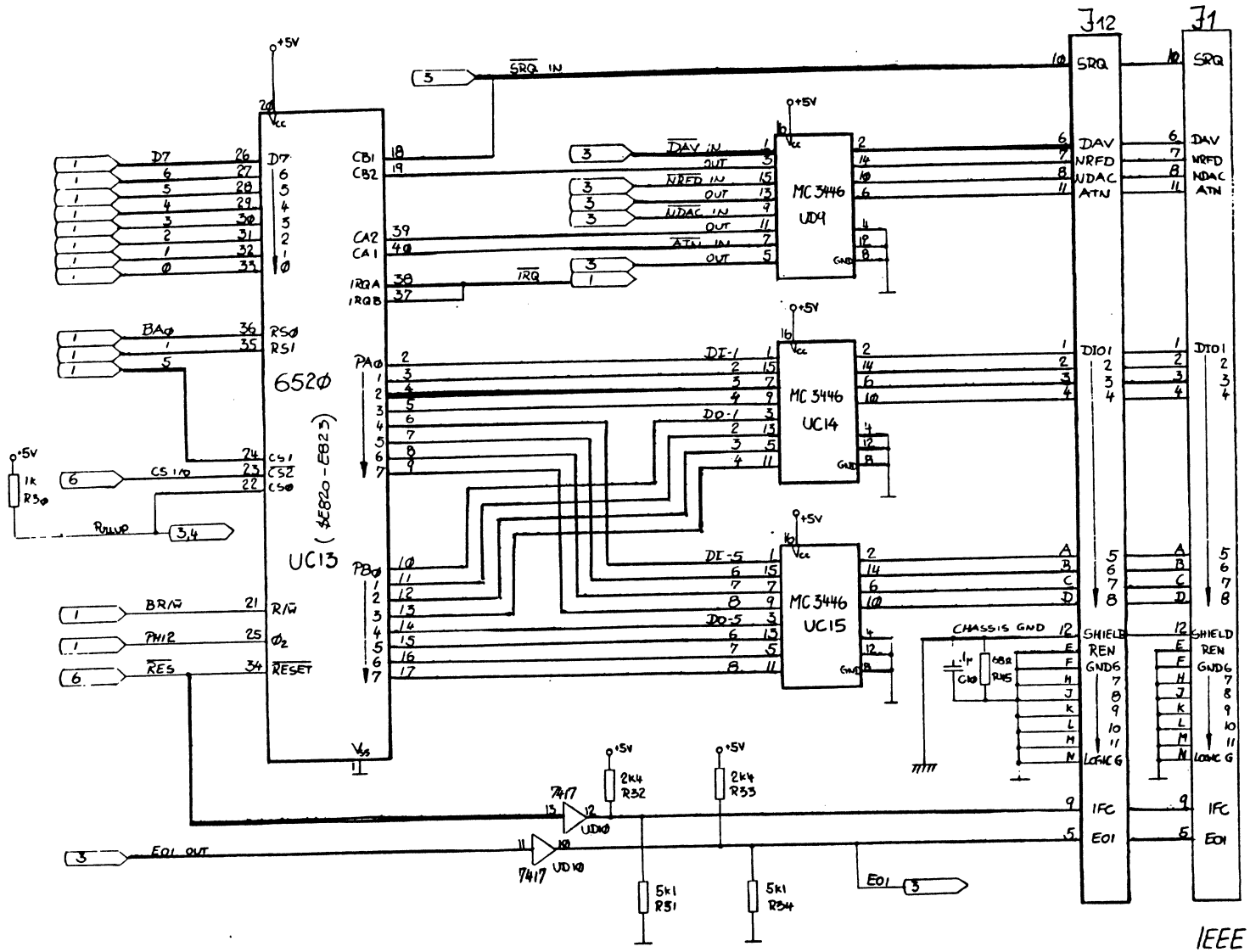


C64 PCB LAYOUT SYSTEM REV 1.0 PLOTTING TIME 09:14:31 SCALE: 1 : 1 BOTTOM SHEET 1 - 1 FILE TIMING64

LTR	ZONE	DESCRIPTION	DATE	APPROVED
A		RRE PRODUCTION RELEASE	06-07-83	SL
B		PRODUCTION RELEASE	10-26-83	SL



REVISIONS				
LTR	ZONE	DESCRIPTION	DATE	APPROVED
		SEE SHEET 1		

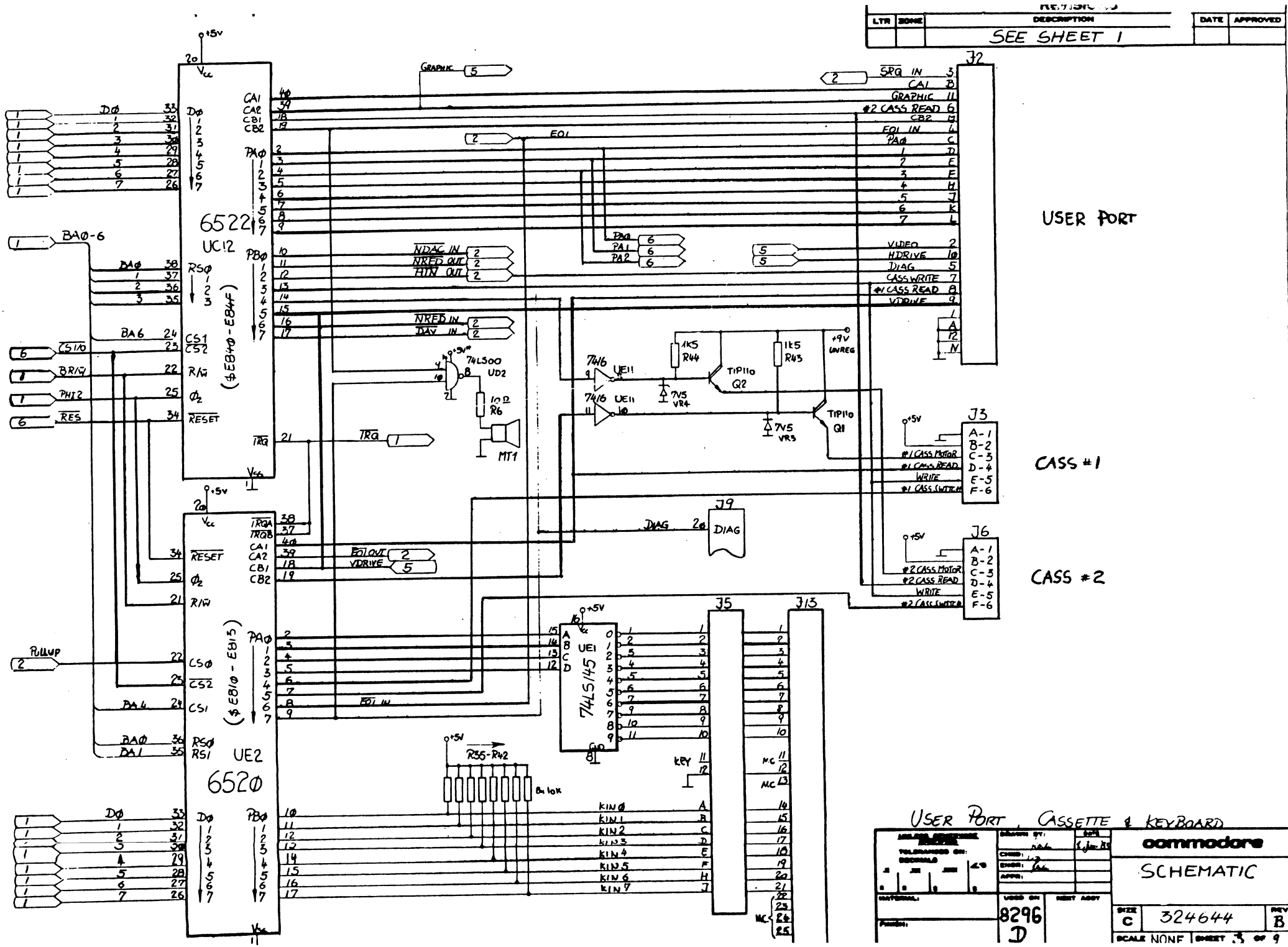


IEEE 488 INTERFACE

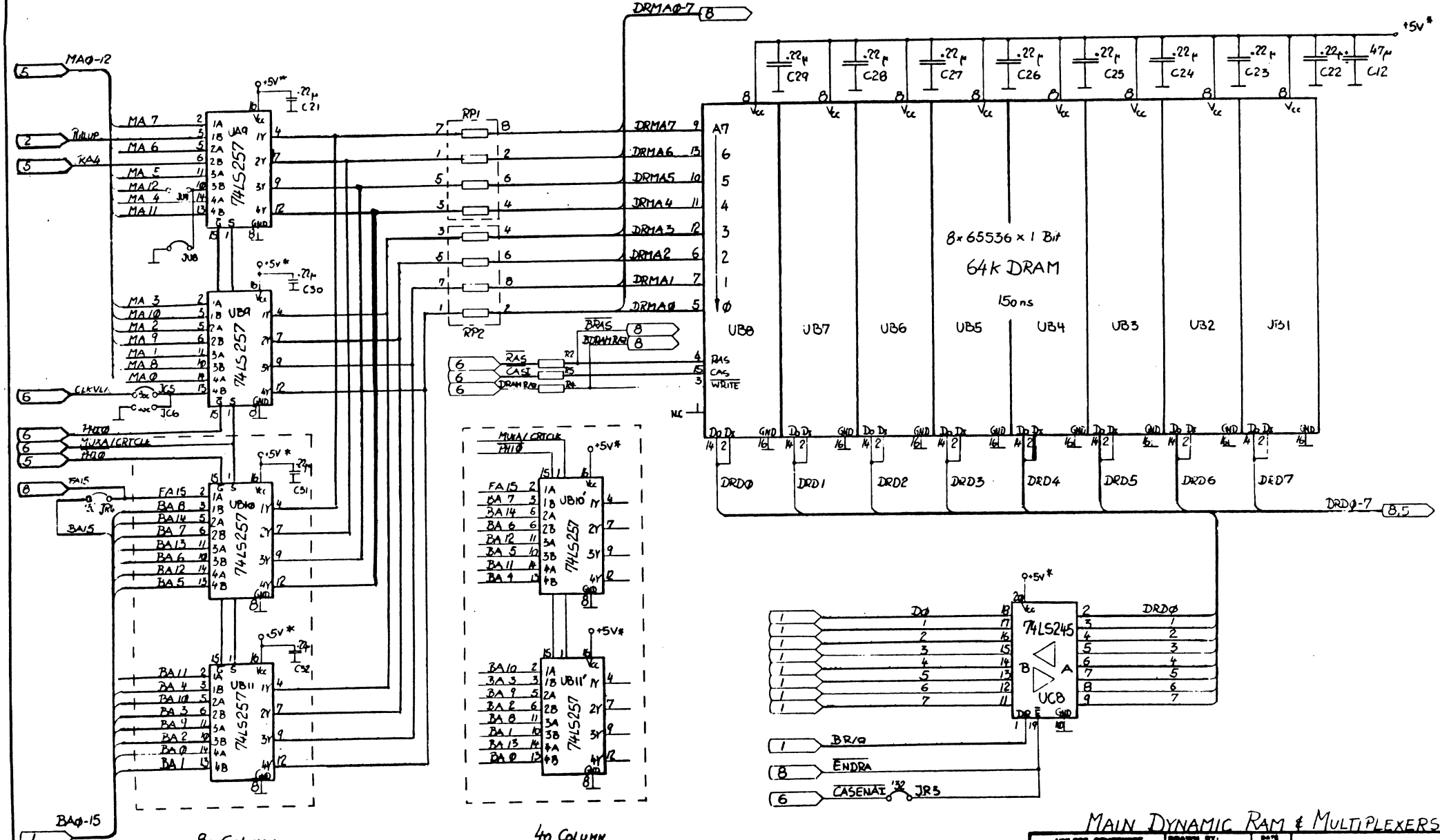
IEEE 488 INTERFACE

			commodore
			SCHEMATIC
	8296 D	SIZE C	324644 REV B
		SCALE NONE	SHEET 2 OF 3

22


LTR | ZONE | DESCRIPTION | DATE | APPROVED
SEE SHEET 1
6522
UC12
($E840 - E84F)
6520
UE2
($E810 - E81F)
74LS00
UD2
74LS145
UE1
7416
UE11
TIP110
Q2
TIP110
Q1
1K5
R44
1K5
R43
10Ω
R6
7V5
VR4
7V5
VR5
MT1
R35-R42
8x10K
J2
USER PORT
J3
CASS #1
J6
CASS #2
J9
DIAG
J5
J13
+5V
+9V UNREG
GRAPHIC
EOI
NDAC IN
NRFD OUT
DAV OUT
NRFD IN
DAV IN
IRQ
EOI OUT
VDRIVE
DIAG
EOI IN
RESET
R/W
PHI2
RES
CS1/0
BR/W
BA0-6
ROLLUP
KEY
KIN0
KIN1
KIN2
KIN3
KIN4
KIN5
KIN6
KIN7
USER PORT, CASSETTE & KEYBOARD
commodore
SCHEMATIC
8296
D
SIZE C
324644
REV B
SCALE NONE
SHEET 3 OF 9

REVISIONS				
LTR	ZONE	DESCRIPTION	DATE	APPROVED
		SEE SHEET 1		



NOTE: UB10 & UB11 ARE THE SAME MULTIPLEXERS AS UB10' & UB11', BUT DIFFERENT POSITIONS.

MAIN DYNAMIC RAM & MULTIPLEXERS

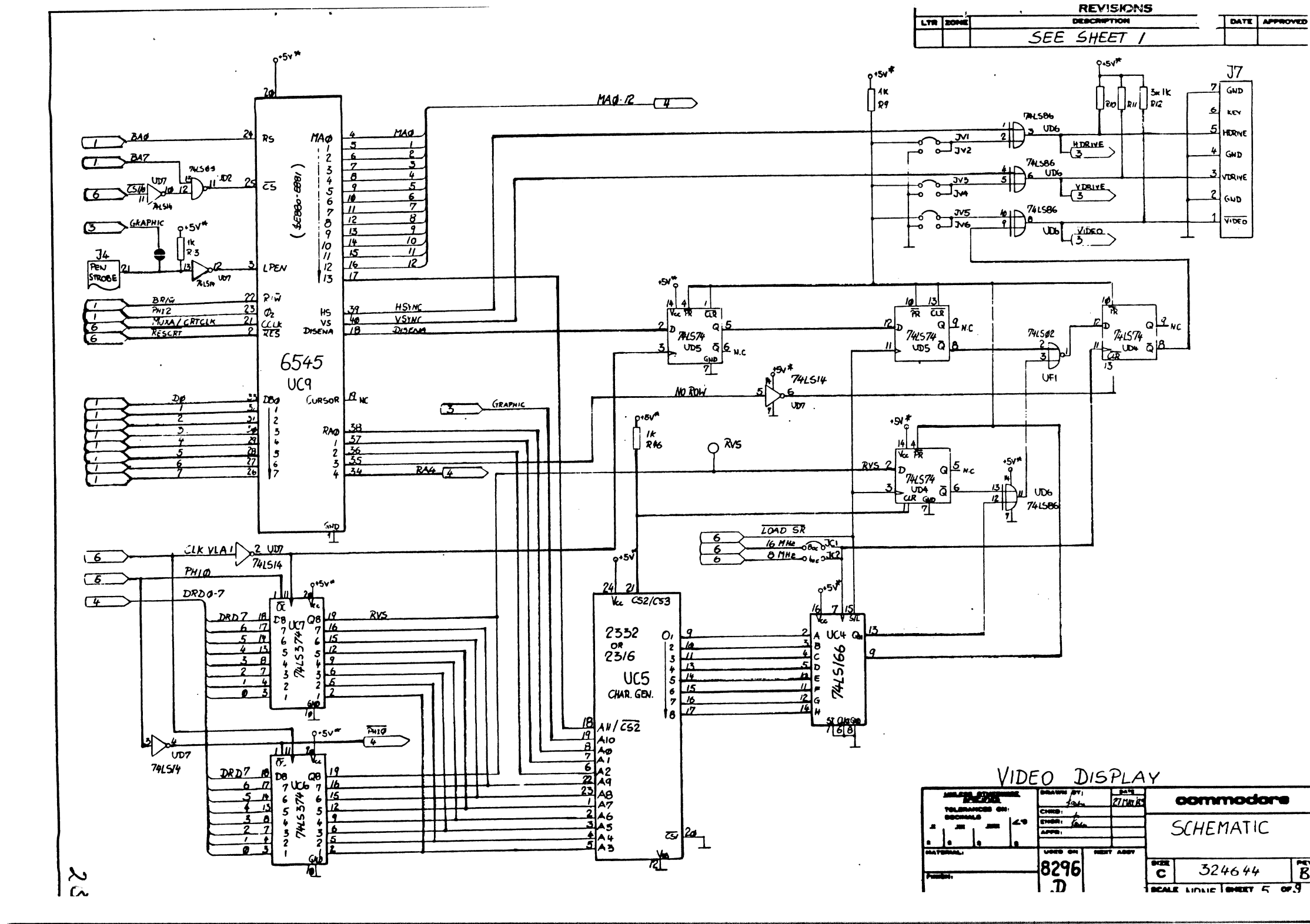
commodore

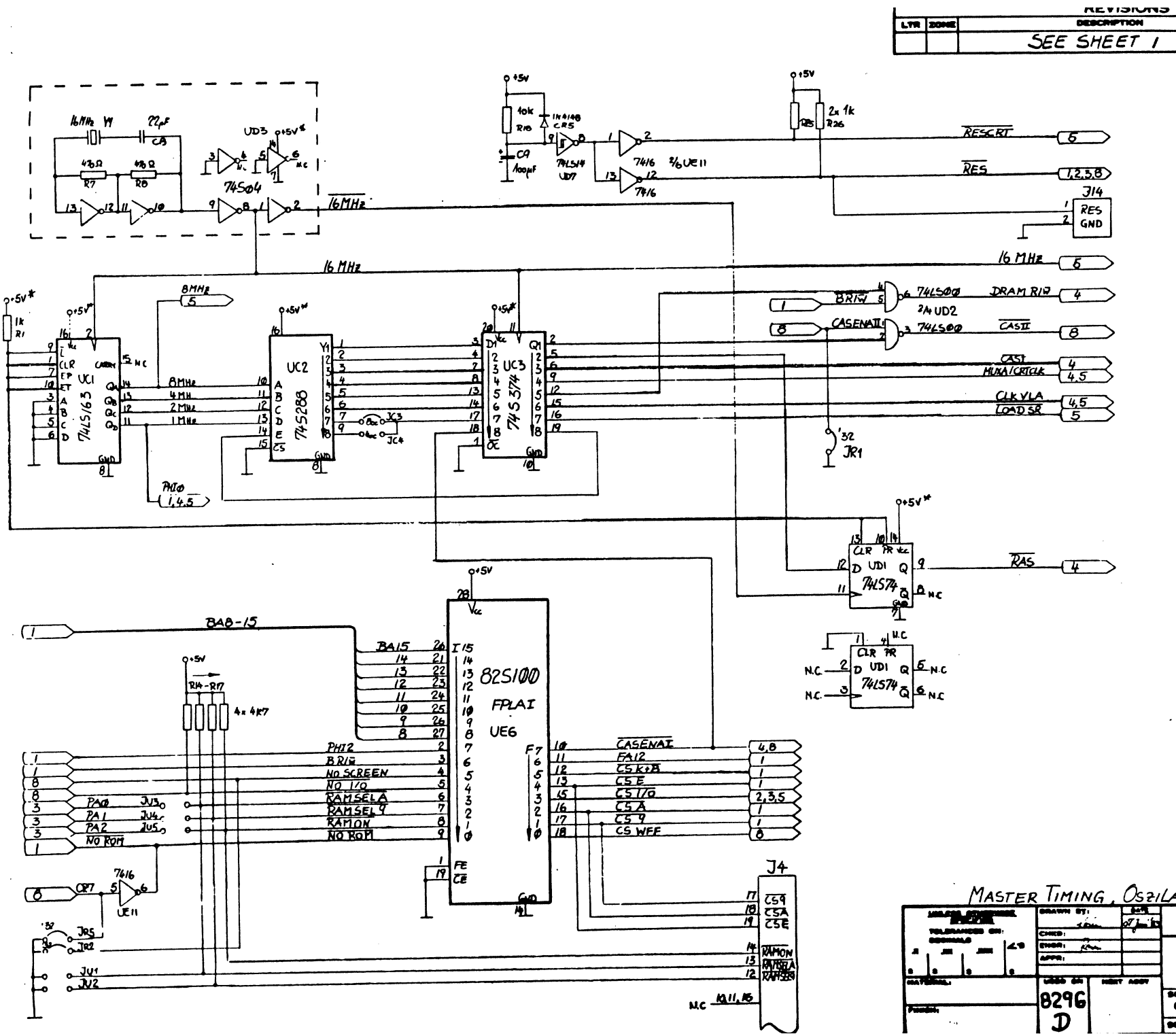
SCHEMATIC

SIZE	324644	REV
C		B

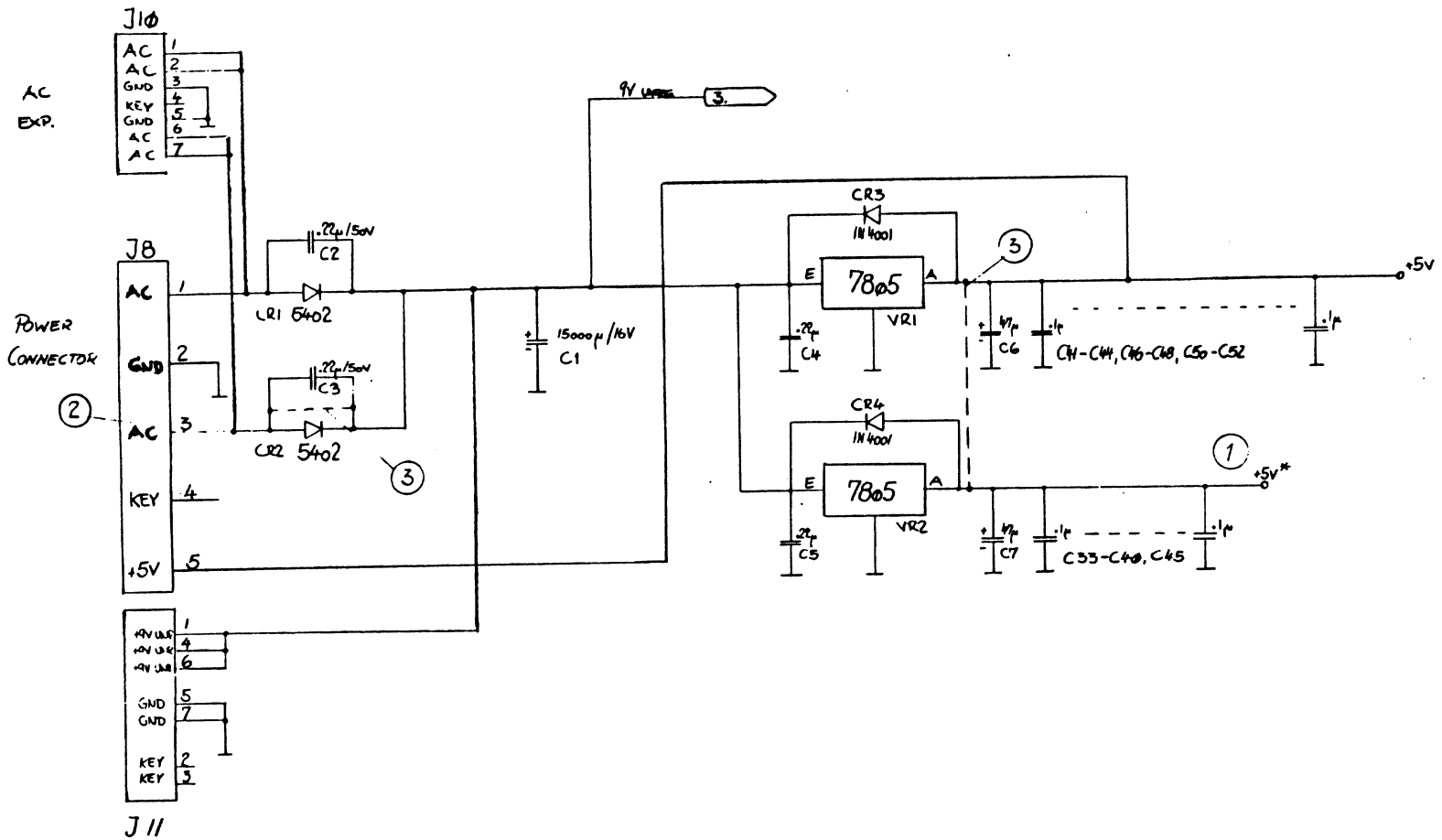
8296 D

SCALE NONE | SHEET 4 OF 9


REVISIONS
LTR ZONE DESCRIPTION DATE APPROVED
SEE SHEET 1
6545
UC9
(6580-6581)
UC7 74LS374
UC6 74LS374
UC5
2332
OR
2316
CHAR. GEN.
UC4 74LS166
74LS574
74LS86
74LS14
74LS02
74LS04
74LS09
J7
J4
PEN STROBE
GRAPHIC
RVS
NO ROW
LOAD SR
16 MHz
8 MHz
CLK VLA1
PH1Ø
DRDØ-7
HSYNC
VSYNC
DISENA
MAØ-12
RAØ-4
HDRIVE
VDRIVE
VIDEO
GND
KEY
VIDEO DISPLAY
SCHEMATIC
commodore
8296
D
SIZE C
324644
REV B
SCALE NONE
SHEET 5 OF 9


REVISIONS
LTR | ZONE | DESCRIPTION | DATE | APPROVED
SEE SHEET 1
16MHz
74S04
16 MHz
8MHz
74LS163
UC1
74S288
UC2
74S374
UC3
BA8-15
82S100
FPLAI
UE6
74LS74
UE11
7416
74LS14
74LS00
RESCRT
RES
J14
RES
GND
DRAM RIF
CASII
CAS1
MUXA/CRTCLK
CLKVLA
LOADSR
RAS
BRIW
CASENAI
PHI2
NO SCREEN
NO I/O
RAMSELA
RAMSEL9
RAMON
NO ROM
PA0
PA1
PA2
CS7
CS5
CS E
CS I/O
CS A
CS 9
CS WFF
J4
JR1
JR5
JR2
JU1
JU2
MASTER TIMING, OSZILATOR & RESET
commodore
SCHEMATIC
8296 D
SIZE C
324644
SCALE NONE
SHEET 6

REVISIONS				
LTR	ZONE	DESCRIPTION	DATE	APPROVED
		SEE SHEET 1		



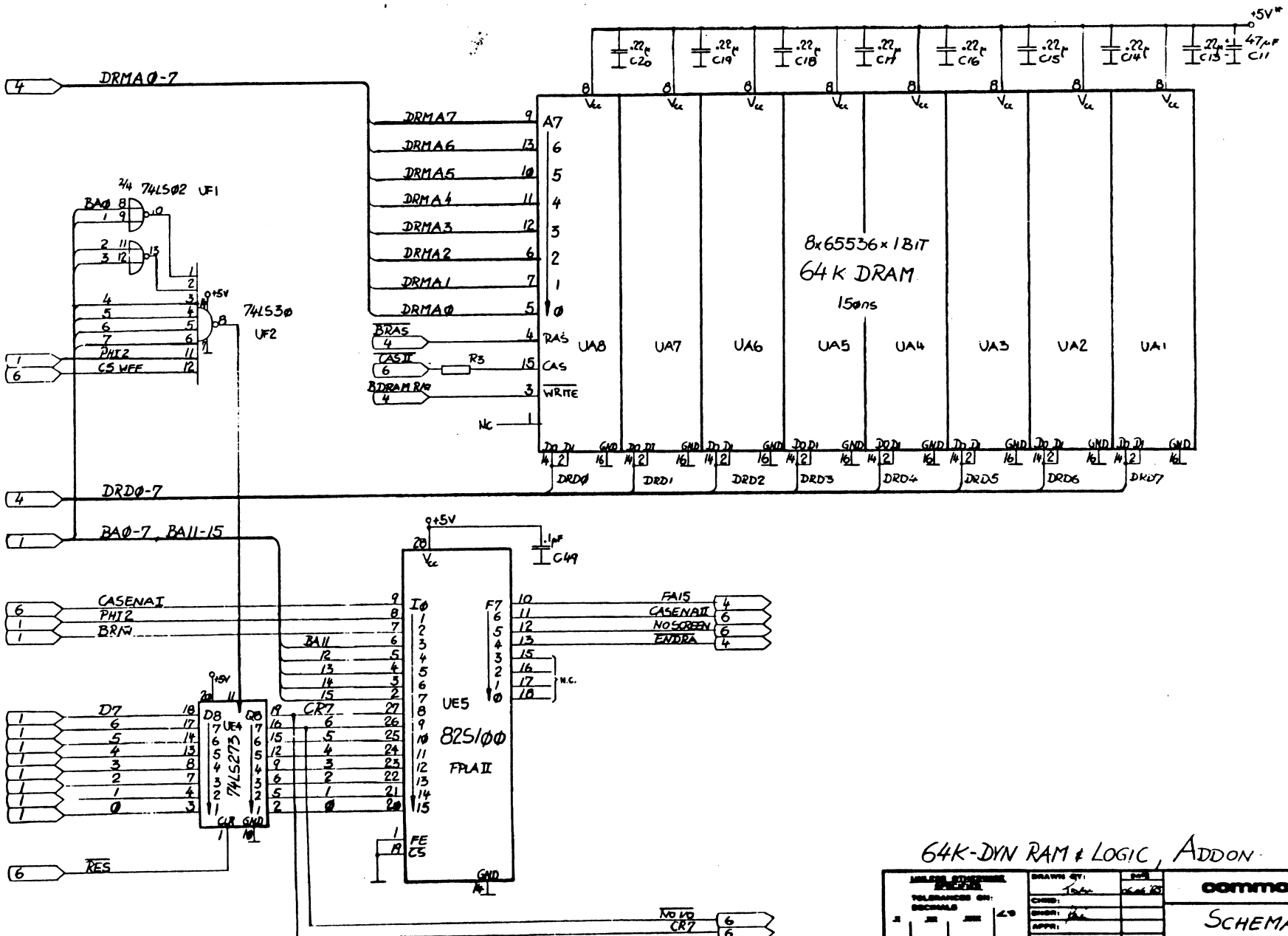
3. WIRE JUMPED IF USED SWITCHING POWER SUPPLY
2. TRANSFORMER VERSION NEEDS PINS 1,2,3. SWITCHING POWER SUPPLY NEEDS PINS 2,3,4,5

NOTES: 1 SEPERATE POWER (+5V*) FOR DYNAMIC RAM, VIDEO DISPLAY, OSCILLATOR

POWER SUPPLY

		commodore
		SCHEMATIC
8296	SIZE C	324644 REV B
	SCALE NONE	SHEET 7 OF 9

LTR	ZONE	DESCRIPTION	DATE	APPROVED
		SEE SHEET 1		



64K-DYN RAM & LOGIC, ADDON

commodore

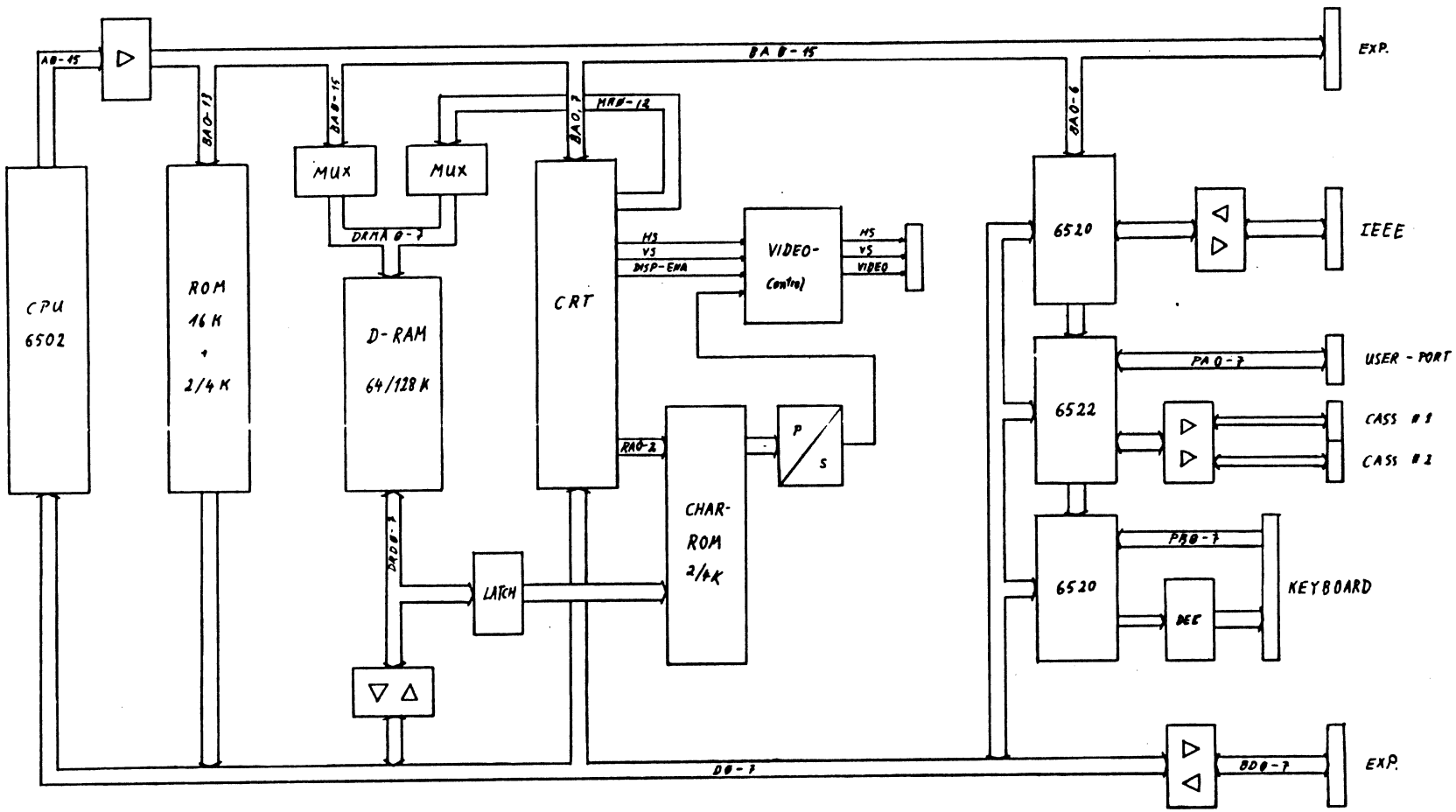
SCHEMATIC

SIZE		
C	324644	
SCALE NONE	SHEET 8 OF 9	

8296 D

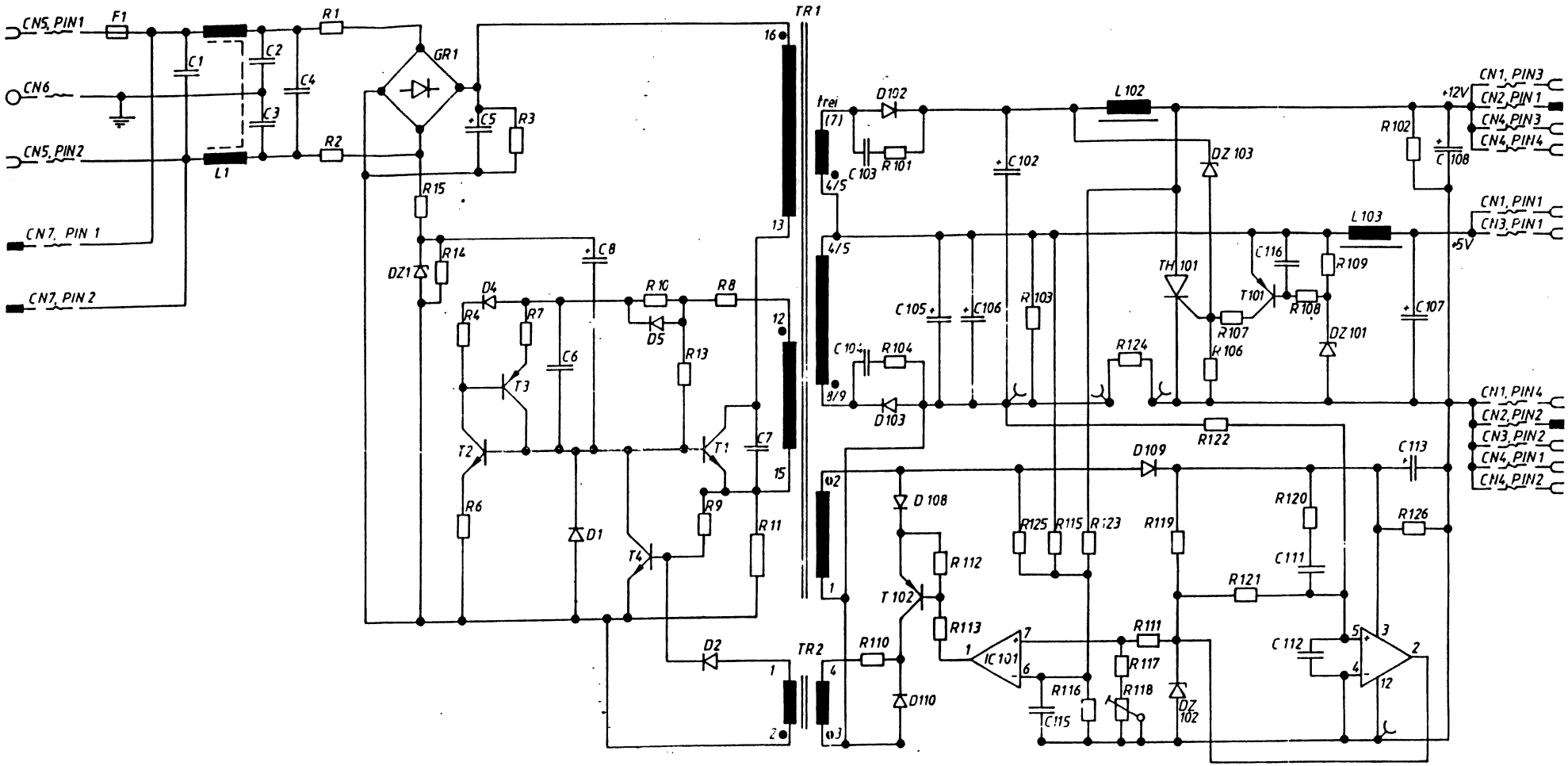
82

LTR	ZONE	DESCRIPTION	DATE	APPROVED
		SEE SHEET 1		

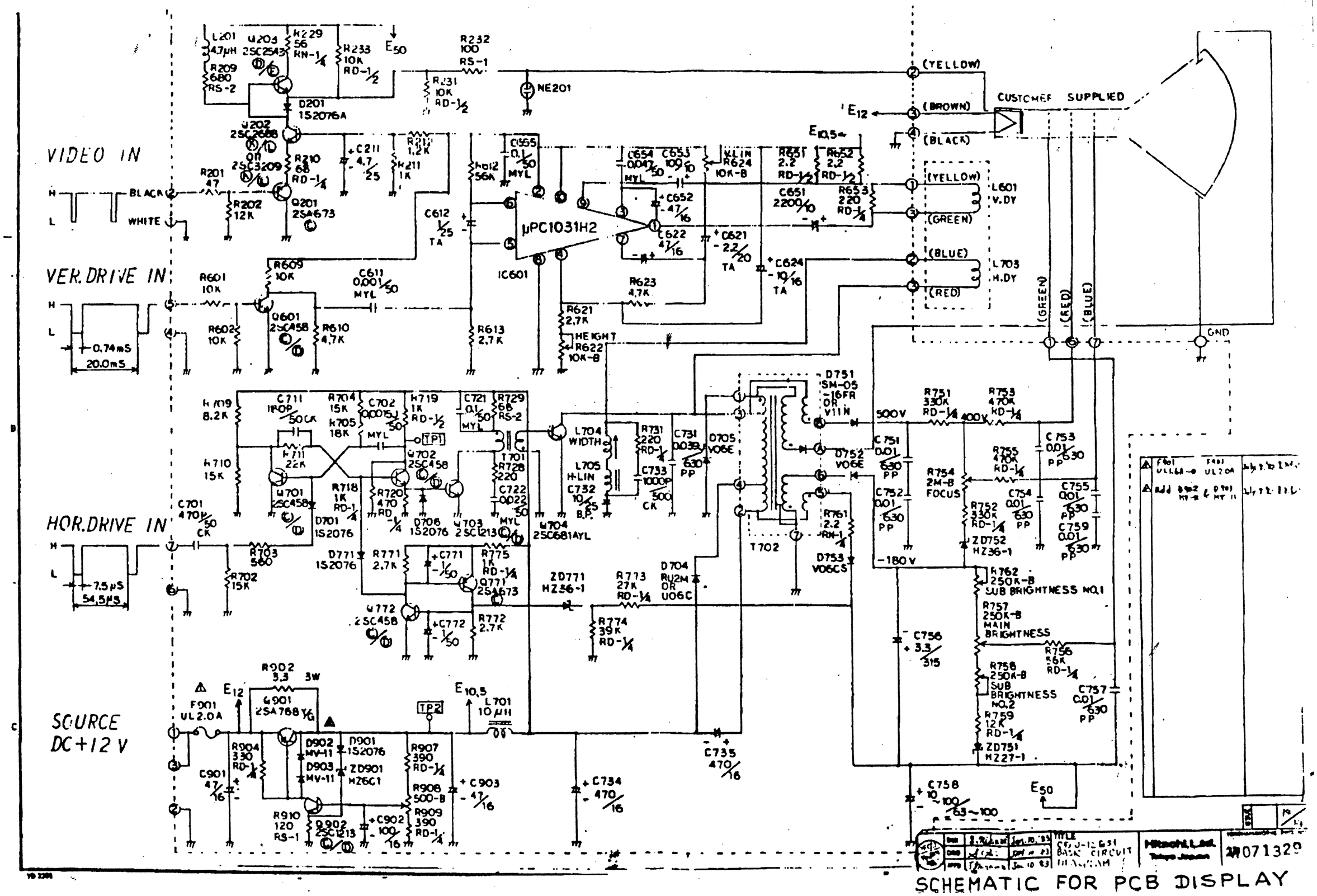


BLOCK DIAGRAM

DRAWN BY: C.S.	DATE: 6-21-83	commodore	
CHKD:		SCHEMATIC	
ENGR:			
APPD:			
MATERIAL:	USED ON: 8296 D	SIZE C	324644 REV B
FINISH:	NEXT ASSY	SCALE NONE	SHEET 9 OF 9

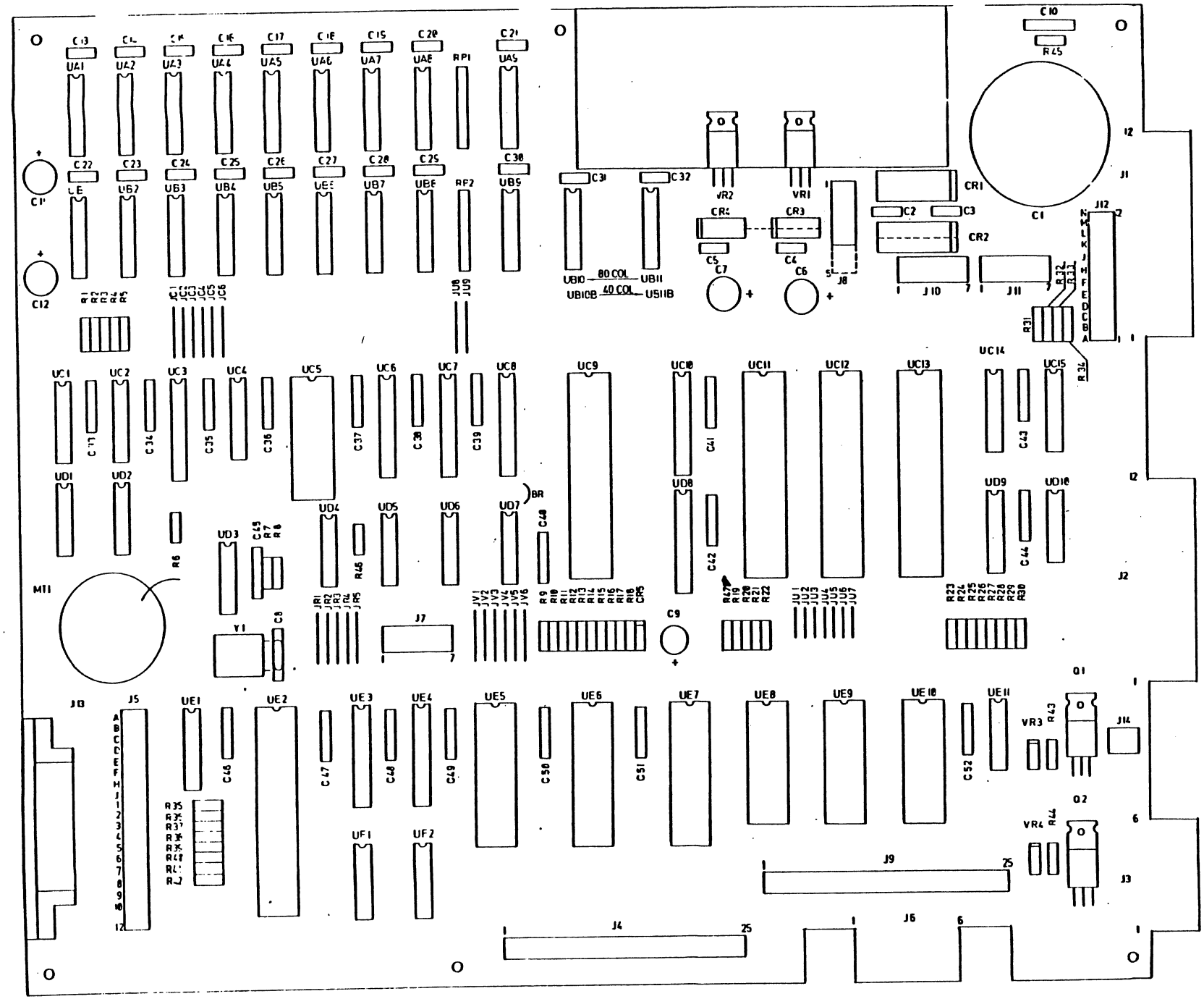


Werkstoff	Oberflache	Gezeichnet	17.2.84	Br.	2-54-3
		Geprüft			
Maßstab	Stromlaufplan 60W - Schaltnetzteil	8296-D			Schaffer



09M/13D 22:17 GMT COMMODORE SANTA CLARA CA

SEE SHEET 1



commodor

PCB - ASSY

FOR 8032 CR

REVISIONS				
LTR	ZONE	DESCRIPTION	DATE	APPROVED
A		PRODUCTION RELEASE		
B		REVISED PER ECO 830331	83/3/1	
C		REVISED PER ECO 830493	83/11/9	

NOTE

1. THIS PIN OPEN FOR 8050.
   THIS PIN CONNECTED TO +5V GND FOR 8250.

C1, 2, 3, 4, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 34, 35, 36, 38, 39, 40, 41, 42, 43, 44, 46, 47, 51, 52, 53, 54, 57, 58, 60, 61, 78, 83, 84, 85

-01 SHOWN

UNLESS OTHERWISE SPECIFIED TOLERANCES ON: DECIMALS .X .XX .XXX ∠'S	DRAWN BY: T. Takeda	DATE 11/4/82	commodore
	CHKD:		SCHEMATIC DIAGRAM FLOPPY DIGITAL MASK VERSION
	ENGR: [illegible]	3/10/83	
	APPR: T. Hatsumoto	3/10/83	
MATERIAL:	USED ON: 8050OLP 8250OLP	NEXT ASSY	SIZE D 251097 REV C
FINISH:			SCALE NONE SHEET 1 OF 2

REVISIONS				
LTR	ZONE	DESCRIPTION	DATE	APPROVED
		SEE SHEET 1		

1. THIS PIN OPEN FOR 8050.
   THIS PIN CONNECTED TO +5V GND FOR 8250.

NOTE

-02 SHOWN

UNLESS OTHERWISE SPECIFIED TOLERANCES ON DECIMALS .X ±.1 .XX ±.02 .XXX ±.005 ∠'S	DRAWN BY T Takeda	DATE 11/6/82	commodore
	CHKD		SCHEMATIC DIAGRAM FLOPPY DIGITAL EP-ROM VERSION
	ENGR T Hatsumi	3/14/83	
	APPR T HATSUMI	3/10/83	
MATERIAL:	USED ON	NEXT ASSY	SIZE D 251097 REV C
FINISH:			SCALE NONE SHEET 2 OF 2

REVISIONS				
LTR	ZONE	DESCRIPTION	DATE	APPROVED
C		REVISED AND REDRAWN PER ECO 830388	5-22-83	

P3
3 WRITE ENABLE
2 WRITE DATA
20 HEAD SEL 1
21 ODD HD
4 WPO
9 MOTOR ON 0
22 S0A
23 S0B
6 NC
10 ACT LED 0
14 29 +12VGND
1 15 16 30 +5VGND
24 MOTOR ON 1
7 S1A
8 S1B
12 27 +12VB
5 WP1
11 ACT LED 1
13 28 +12VGND
1 15 16 30 +5VGND

R34 33.2K ±1% 0.039µF/50V ±5%
C14 0.1µF/50V
C16
1E 9602
R32 1K
R33 33.2K ±1%
C15 0.1µF/25V ±20%
1E 9602
74LS00 2D
74LS02 2S
74LS14 1G
74LS38 1D
74LS74 2E
74LS14 1G
R35 1K
R30 1K 1/6W
B 2A C 7445 D
R26 R25 R24 R23 470 4PL 1/6W
R28 R27 R29 1.5K 4PL 1/6W
+12VAF
0.1µF/25V C11
R45 1K
7417 1M
74LS00 2F
R40 1K
1M 7417
R46 47K
150 R47
+12VA
+12VGND
+5V
MOTOR ON 0
STP CON
2BC HYMC MOD1WT
R58 1/6W 75 ±1%
R59 1/6W 75 ±1%
0.1µF/50V C12
100 R29
DP1 DP2 DP6 DP5 DP4 DP3
R6 R5 R4 R3 2.2K 4PL 1/6W
D4 D2 D3 WG 713C 3PL
C17 100µF/16V
C18 0.1µF/50V
0.1µF/50V C28 - 31, 33 - 35, 38 - 43.
R44 1K
7417 1M
74LS00 1J
MOTOR ON 1
STP CON
+12VB
2LA 2MA 2LB 2MB 75477
74LS14 2J
R41 1K
1M 7417
R55 47K
150 R69
WP1 PH
ACT LED 1
TO DRIVE 0
TO DRIVE 1

P1 DRIVE 1
ERASE 10
ERASE 11
R/W 21-1
R/W 21-0
R/W 11-1
R/W 11-0
HDOCT-1
HDOCT-0
+12V GND
KEY
NC
+12VAF
9.09K ±1% 1/6W 2PL
R7 R8
P2 DRIVE 0
R/W 20-1
R/W 20-0
KEY
NC
74ALS240 2B
390 1/6W R20
390 1/6W R19
150µH L4
150µH L3
C13 1500PF/25V
C9 1000PF 25V
0.1µF/25V C10
0.1µF/25V C8
R18 2.2K 1/6W
R17 2.2K 1/6W
ERASE 00
ERASE 01
R/W 10-0
R/W 10-1
HDOCT-1
HDOCT-0
+12V GND
0.1µF/25V ±20% C5
+12VA
L1 4µH
R11 110 1W
R9 5.6K 1/6W
R10 2.2K 1/6W
C4 1200PF/25V
C2 1200PF/25V
D1 WZ-050
C3 4.7µF/16V
C6 0.1µF/50V
+12VAF
4.7µF/25V C1
2B HA16631P
200 1/6W R12
47K 1/6W R13
100µH L2
C7 3300PF/25V
VR1 20K
R15 10K 1/6W
74LS10 1K
74LS00 1J
READ DATA
DATA INHIBIT
P3 17 18

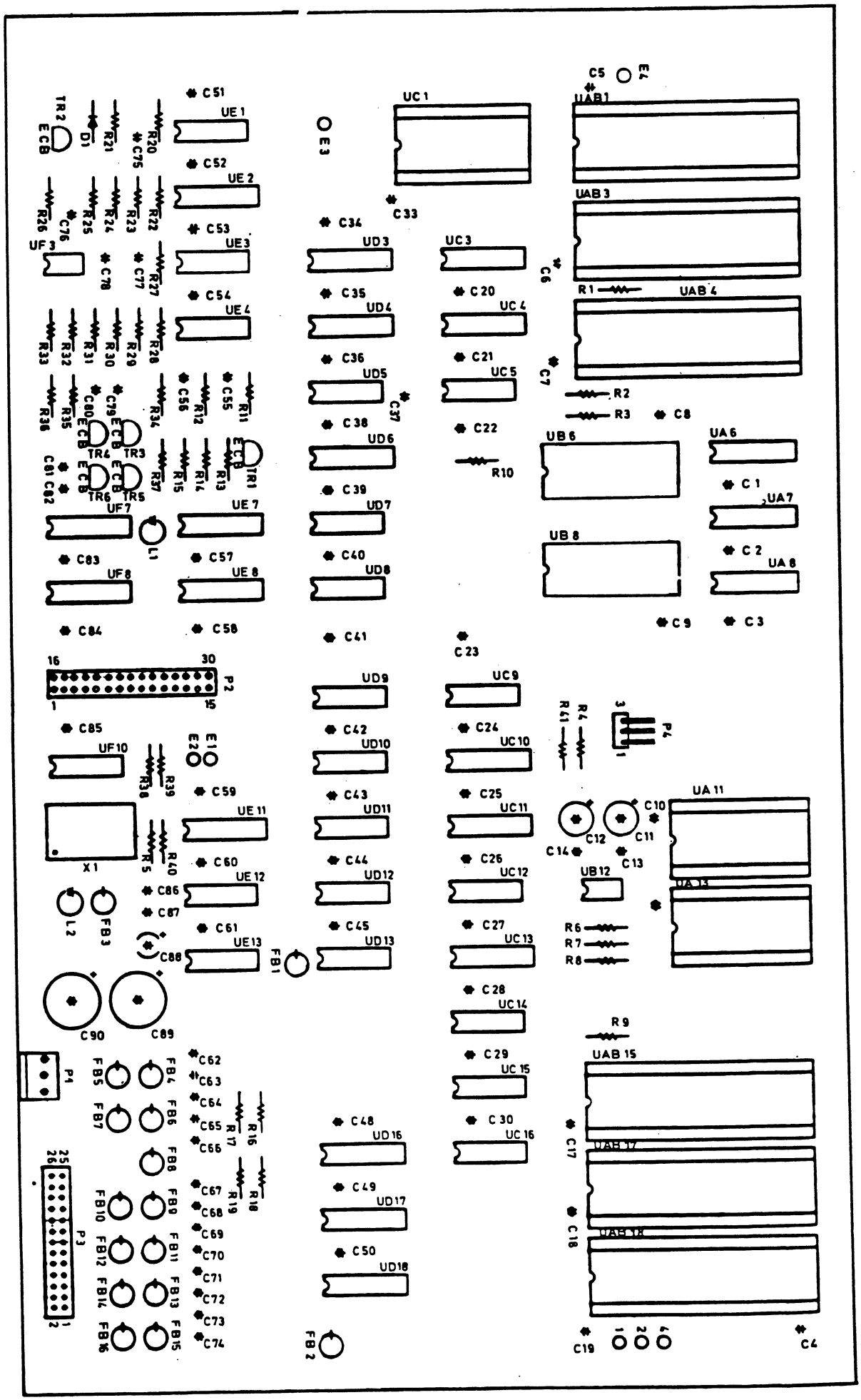
P4
+12VA 3 4
+12VGND
+5V 7 17 20
MOTOR ON 0 5
+12VA STP CON 11 12
B4A 14
B3A 15
+5VGND 19 24
B2A 16
B1A 23
WP1 LED 13
NC 6 8
KEY 9
NC 10 21 22
+5V 1
NC 2
ACT LED 0 18

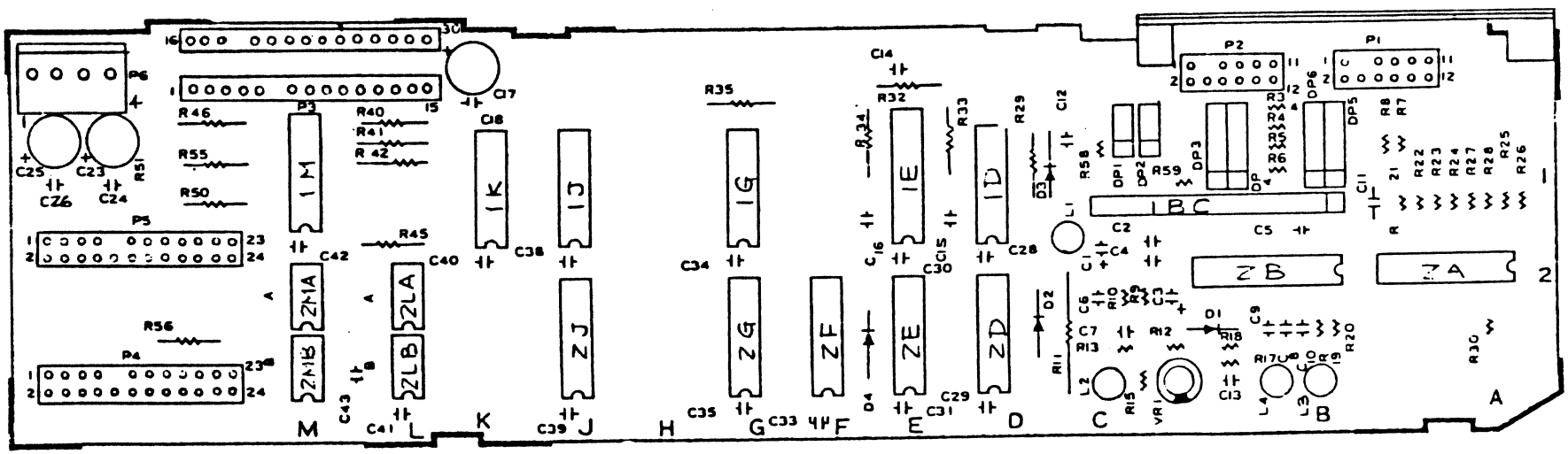
P5
MOTOR ON 1 5
+12VB STP CON 11 12
+5V 7 17
B1A 14
B0A 15
+5VGND 19 24
B2A 16
B3A 13
NC 6 8
KEY 9
NC 10 21 22
+5V WP1 LED 23
+5V 1
NC 2
+12VB 3
+12V GND 4
WP1 PH 20
ACT LED 1 18

P6
1 +12VA
2 +12VB
3
4
C23 100µF/16V
C24 0.1µF/50V
C25 100µF/16V
C26 0.1µF/50V

UNLESS OTHERWISE SPECIFIED TOLERANCES ON: DECIMALS .X ±.1 .XX ±.05 .XXX ±.010 ∠'S ±1°	DRAWN BY: R. Jla	DATE 6-22-83	commodore
	CHKD: K. MARIYAMA	7-5-83	SCHEMATIC DIAGRAM DUAL FLOPPY ANALOG
	ENGR:	7-5-83	
	APPR:	7-22-83	
MATERIAL: FINISH:	USED ON 8250LP	NEXT ASSY 250404	SIZE D 251127 REV C
			SCALE: NONE SHEET 1 OF 1

THIRD ANGLE SYSTEM. DIMENTION: mm A1 (210) X 69 210-0000


C5
E4
UAB1
UC1
E3
C33
UAB3
C34
UD3
UC3
C6
C20
UC4
R1
UAB4
C35
UD4
C36
UD5
C21
UC5
C7
R2
R3
C8
C37
C38
UD6
C22
R10
UB6
UA6
C1
UA7
C39
UD7
UB8
C2
UA8
C40
UD8
C9
C3
C41
C23
16
30
P2
1
15
UD9
UC9
C85
C42
UD10
UC10
C24
R41
R4
P4
E1
E2
C59
C43
UD11
UC11
C25
UA11
C10
C12
C11
C14
C13
C60
C44
UD12
UC12
C26
UB12
C86
C87
C61
C45
UD13
UC13
C27
R6
R7
R8
C88
FB1
C28
UC14
R9
C90
C89
C62
C63
C64
C65
C66
C48
UD16
UC16
C30
UAB15
C17
C49
UD17
UAB17
C18
C50
UD18
UAB18
C19
C4
FB2
P1
P3
25
26
1
2
R16
R17
R18
R19
FB3
FB4
FB5
FB6
FB7
FB8
FB9
FB10
FB11
FB12
FB13
FB14
FB15
FB16
C67
C68
C69
C70
C71
C72
C73
C74
L2
L1
X1
R39
R40
R5
R30
UE1
UE2
UE3
UE4
UE7
UE8
UE11
UE12
UE13
UF7
UF8
UF10
C51
C52
C53
C54
C57
C58
C75
C76
C77
C78
C79
C80
C81
C82
C83
C84
R20
R21
R22
R23
R24
R25
R26
R27
R28
R29
R31
R32
R33
R34
R35
R36
R37
R15
R14
R13
R12
R11
C56
C55
TR1
TR2
TR3
TR4
TR5
TR6
D1
UF5


P6
P5
P4
P3
P2
P1
R46
R55
R50
R51
R40
R41
R42
R45
R56
R35
R32
R34
R33
R29
R58
R59
C25
C23
C26
C24
C42
C40
C38
C34
C30
C28
C43
C41
C39
C35
C33
C31
C29
C14
C18
C17
C16
C15
C12
C11
C2
C5
C4
C1
C6
C7
C9
C10
C13
1M
1K
1J
1G
1E
1D
2M1A
2M1B
2L1A
2L1B
2J
2G
2F
2E
2D
1B C
2B
2A
DP1
DP2
DP3
DP4
DP5
DP6
D1
D2
D3
D4
L1
L2
L3
L4
VR1
R10
R11
R12
R13
R15
R17
R18
R19
R20
R21
R22
R23
R24
R27
R28
R25
R26
R30
M
L
K
J
H
G
F
E
D
C
B
A

PART NO.	DESCRIPTION
324645-01	80 COLUMN 64K, 8032 CR COST REDUCTION
-02	40 COLUMN 64K, 4032 CR "
-03	80 COLUMN 128K, 8096 CR "
-04	80 COLUMN 128K, 8296-D WITH DUAL-FLOPPY DRIVES

REVISIONS

LTR	ZONE	DESCRIPTION	DATE	APPROVED
A		PRE-PRODUCTION	06-14-83	
B		PRODUCTION RELEASE	10-20-83	Do.
C		REV PER ECO 20044	11-23-83	Do.
D		REV PER ECO	01-17-84	Do.

1. SHEET 7 OF 7 ARE SIZE B
   ASSY DWG
NOTES:

commodore	TITLE: PCB ASSEMBLY 8032/8096 CR	DRAWN BY:	DATE	ENGR:		SIZE	DRAWING NUMBER	
		CHKD: D. Shen	11-30-83	APPR:		B	324645	
							SHEET 7 OF 7	

1715 Gebr. Wichmann

REVISIONS				
LTR	ZONE	DESCRIPTION	DATE	APPROVED
		SEE SHEET 1		

UE8	EDITOR	
901498-01	40 COLUMN	50 Hz
901474-04	80 COLUMN	50 Hz
324243-01	80 COLUMN DIN	50 Hz
901499-01	40 COLUMN	60 Hz
901474-03	80 COLUMN	60 Hz

TABLE I ASCI NEUE NR

FOR ITEM 12

HOUSING	ASSEMBLY
5K	J13 (SEE ITEM 121-124)
8032 OLD HOUSING	J5 (SEE ITEM 115)

TABLE II

UNLESS OTHERWISE SPECIFIED TOLERANCES ON: DECIMALS .X ± .XX ± .XXX ± ∠'S ±	DRAWN BY:	DATE 25.10.83	commodore
	CHKD:		324645
	ENGR:		
	APPR:		
MATERIAL: / FINISH:	USED ON 8032CR	NEXT ASSY	SIZE B · REV D
			SCALE NONE · SHEET 2 OF 7

QUANTITY REQD PER PART / DASH NO. 04	03	02	01	ITEM	DS	PART NUMBER	DESCRIPTION	REF DES	BEND	NOTES
REF	REF	REF	REF	1		324644	SCHEMATIC 8032 CR	REV B		
↑	↑	↑	↑	2		324647-01	PCB ARTWORK	REV B		
↓	↓	↓	↓	3		324647-01	PCB SOLDER MASK	REV B		
REF	REF	REF	REF	4		324751-01	P.C.B SILKSCREEN	REV B		
1	1	1	1	5		324646-01	PCB FABRICATION			
1	1	1	1	6		901435-01	IC, 6502 CPU	UC11		
2	2	2	2	7		901436-01	6520 PIA	UC13, UE2		
1	1	1	1	8		901437-01	6522 VIA	UC12		
1	1	1	1	9		901479-01	6545 CRT-CONTROLLER	UC9		
				10						
1	1	1	1	11		324746-01	23128 ROM	UE7		KERNAL & BASIC ($B000-DFFF / $F000-FFFF)
S	S	S	S	12		324746-01	27128-45 EPROM	UE7		SUBSTITUTE FOR ITEM 11 PRODUCED OF 324775-02
1	1	1	1	13		SEE TABLE I	2316 ROM	UE8		EDITOR ($E000 - E7FF)
1	1	1	1	14		901447-10	2316 ROM	UC5		CHARACTER GENERATOR
				15						
				16				UE10		
				17						
8	8	8	8	18		901505-02	HM 4864-2 64K x 1BIT DRAM	UB1-UB8		DYNAMIC RAM RAS-ACCESS-TIME ≤ 150 ns
8	8	-	-	19		901505-01	HM 4864-3 64K x 1BIT DRAM	UA1-UA8		DYNAMIC RAM RAS ACCESS-TIME ≤ 200 ns
				20						
1	1	-	-	21		324745-01	82S100	UE5		FPLA II, PROGRAMMED
1	1	1	1	22		324744-01	82S100	UE6		FPLA I, PROGRAMMED
1	1	1	1	23		901525-09	74-S74	UD1		
1	1	1	1	24		901521-01	74 LS 00	UD2		NAND GATE
1	1	1	1	25		-21	LS 02	UF1		NOR GATE
1	1	1	1	26		-30	LS 14	UD7		HEX INVERTER, SCHMITT TRIGGER
1	1	-	-	27		-53	LS 30	UF2		8 INPUT NAND GATE
2	2	2	2	28		-06	LS 74	UD4, UD5		FLIP-FLOP WITH PRESET & CLEAR
1	1	1	1	29		-32	LS 86	UD6		EXCLUSIVE-OR GATE
1	1	1	1	30		-09	LS 145	UE1		BCD TO DEC. DECODER
1	1	1	1	31		-33	LS 163	UC1		SYNCHRONOUS 4 BIT COUNTER
1	1	1	1	32		-71	LS 166	UC4		8-BIT SHIFT REGISTER
2	2	2	2	33		-13	LS 244	UC10, UD8		OCTAL BUFFER
2	2	2	2	34		-46	LS 245	UC8, UE3		OCTAL BUS TRANCEIVER
2	2	2	2	35		-57	LS 257	UA9, UB9		QUAD DATA MULTIPLEXER
2	2	-	2	36		-57	LS 257	UB10, UB11		
-	-	2	-	37		-57	LS 257	UB10B, UB11B		

commodore

TITLE: PCB ASSEMBLY 8032/8096 CR

DRWN BY: DATE 21.4.83

CHKD: DATE 26.4.83

ENGR: DATE

APPR:

SIZE B | 324645 | REV J | SHT 3/7

1715 Gebr. Wichmann

QUANTITY REQD PER PART/DASH NO.					ITEM	DS	PART NUMBER	DESCRIPTION	REF DES	BEND	NOTES
		1	1	-	-	38		901521-41	IC, 74 LS 273	UE4		OCTAL D-TYPE FLIP-FLOP WITH CLEAR
		1	1	1	1	39		-43	LS 374	UC6		OCTAL D-TYPE FLIP-FLOP
		1	1	-	1	40		-43	LS 374	UC7		OCTAL D-TYPE FLIP-FLOP
						41						
		3	3	3	3	42		901524-01	MC 3446	UC14, UC15, UD9		INTERFACE BUS DRIVER
						43						
		1	1	1	1	44		901522-14	74 16	UE11		HEX INVERTER OPEN COLLECTOR
		1	1	1	1	45		901522-01	74 17	UD10		HEX BUFFER OPEN COLLECTOR
						46						
		1	1	1	1	47		901525-01	74S04	UD3		HEX INVERTER SCHOTTKY
		1	1	1	1	48		324743-01	74S288	UC2		BIPOLAR PROM 32x8 BIT, PRODUCED OF 901525-21
		5	5	5	5	49			TBP 18S030N	UC2		SUBSTITUTE FOR ITEM 48
		1	1	1	1	60		901525-22	IC, 74S374	UC3		OCTAL D-TYPE FLIP-FLOP
						51						
						52						
						53						
		2	2	2	2	54		902422-03	RESISTOR PACK 33Ω	RP1, RP2		
		1	1	1	1	55		901550-64	RESISTOR 10Ω ¼W 5%	R6		
		1	1	-	-	56		-105	33Ω	R3		
		3	3	3	3	57		-105	33Ω	R2, R4, R5		
		1	1	1	1	58		-94	68Ω	R45		
		1	1	1	1	59		-49	100Ω	R23		
		5	5	5	5	60		-58	470Ω	R7, R8, R27-29		
		15	15	15	15	61		-01	1kΩ	R1, R9-13, R20-22, R24-26, R30, R46, R47		
		2	2	2	2	62		-69	1.5kΩ	R43, R44		
		2	2	2	2	63		-85	2.4kΩ	R32, R33		
		5	5	5	5	64		-19	4.7kΩ	R14-17, R19		
		2	2	2	2	65		-03	5.1kΩ	R31, R34		
		9	9	9	9	66		-20	10kΩ	R18, R35-42		
						67						
						68						
		-	-	-	12	69		903781-01	WIRE JUMPER	JC1, JC3, JC5, JV, JV3, JV5, JR1-JR5, JUB		
		-	-	12	-	70		903781-01	WIRE JUMPER	JC2, JC4, JC6, JV1, JV3, JV5, JR1-JR5, JUB		
		7	7	-	-	71		903781-01	WIRE JUMPER	JC1, JC3, JC5, JV1, JV3, JV5, JUB		
		1	-	-	-	72		320086-01	WIRE JUMPER			SUBSTITUTE FOR ITEM 99 (CR2)
		1	-	-	-	73		320059-19	WIRE JUMPER			SUBSTITUTE FOR ITEM 98 (CR3, CR4)
						74						

commodore

TITLE: PCB ASSEMBLY 8032/8096 CR

DRWN BY:	DATE	ENGR:	DATE	SIZE		REV	SHT
CHKD:	6.1083	APPR:		B	324645	D	4/4

QUANTITY REQD PER PART / DASH NO. 04	03	02	01	ITEM	DS	PART NUMBER	DESCRIPTION	REF DES	BEND	NOTES
2	2	2	2	75		900415-06	SOCKET IC 40 PIN			FOR UC11, UC9
2	2	2	2	76		-05	28 PIN			FOR UE6, UE7
1	1	-	-	77		-05	28 PIN			FOR UE5
4	4	4	4	78		-04	24 PIN			FOR UC5, UE8, UE9, UE10
				79						
				80						
				81						
				82						
-	1	1	1	83		324212-01	CAP ELECTROLYTIC 15000µF / 16V	C1		TYP EYF SP.: 10mm
2	2	2	2	84		900100-27	47µF / 16V	C6, C12		TYP EKR SP.: 5mm
1	1	-	-	85		-27	47µF / 16V	C11		TYP EKR SP.: 5mm
-	1	1	1	86		-27	47µF / 16V	C7		TYP EKR SP.: 5mm
1	1	1	1	87		900100-40	100µF / 16V	C9		TYP EKI SP.: 5mm
12	12	12	12	88		900022-01	RADIAL .22µF / 50V	C21-C32		SP.: 5mm
8	8	-	-	89		-01	.22µF / 50V	C13-C20		SP.: 5mm
-	4	4	4	90		-01	.22µF / 50V	C2-C5		SP.: 5mm
1	1	1	1	91		900462-21	RADIAL / AXIAL 22pF / 50V	C8		N750 5% SP.: 5mm, 7.5mm, 10mm
1	1	-	-	92		900461-28	AXIAL CERAMIC .1µF / 50V	C49		
20	20	20	20	93		900461-28	.1µF / 50V	C10, C33-C48, C50-C52		
				94						
				95						
				96						
				97						
-	2	2	2	98		900750-01	DIODE IN 4001	CR3, CR4		
-	2	2	2	99		900753-01	IN 5402	CR1, CR2		
1	1	1	1	100		900850-01	IN 4148	CR5		
2	2	2	2	101		900941-01	DIODE ZENER 7.5V	VR3, VR4		
-	2	2	2	102		901527-02	VOLTAGE REGULATOR 7805	VR1, VR2		5V, 1A 5% HOUSING: TO220
				103						
				104						
2	2	2	2	105		901526-02	TRANSISTOR NPN TIP110	Q1, Q2		DARLINGTON 2A
				106						
1	1	1	1	107		900556-02	CRYSTAL 16 MHZ	Y1		
				108						
1	1	1	1	109		907300-02	TRANSDUCER - PIEZO ACOUSTIC	MT1		
1	1	1	1	110		903780-01	#30 WIRE WRAP WIRE	L=30mm		
				111						

commodore

TITLE: PCB ASSEMBLY 8032/8096 CR

DRWN BY:	DATE	ENGR:	DATE	SIZE		REV	SHT
CHKD:	21.10.83	APPR:		B	324645	D	5/7

1715 Gebr. Wichmann

QUANTITY REQD PER PART / DASH NO. 04	03	02	01	ITEM	DS	PART NUMBER	DESCRIPTION	REF DES	BEND	NOTES
-	1	1	1	112		90 3326-07	HEADER ASSY .100 CENTER	J10		7 PIN REMOVE PIN 4 AT ASSEMBLY
1	1	1	1	113		-07	.100 CENTER	J11		7 PIN REMOVE PIN 2 & 3 AT ASSEMBLY
1	1	1	1	114		-02	.100 CENTER	J14		2 PIN
-	1	1	1	115		90 3331-20	POLARIZED .100 CENTER	J5		20 PIN ONLY FOR PET-HOUSING: SUBSTITUTE ITEM 121
1	1	1	1	116		90 3331-07	POLARIZED .100 CENTER	J7		7 PIN
2	2	2	2	117		90 3345-25	DUAL ROW .100 CENTER	J4, J9		50 PIN
1	-	-	-	118		90 3345-12	DUAL ROW .100 CENTER	J12		24 PIN
-	1	1	1	119		90 3316-03	.156 CENTER	J8		3 PIN
1	-	-	-	120		90 3316-04	.156 CENTER	J8		4 PIN REMOVE PIN 3 AT ASSEMBLY
1	S	S	S	121		90 3267-02	CONNECTOR 25 SUB-MINI-"D"	J13		AMP 206584-1: SUBSTITUTE FOR ITEM 115 BY SK HOUSING SEE TABLE II
2	S	S	S	122		90 6800-03	SCREW PAN HEAD M3x8			USED FOR ITEM 121
2	S	S	S	123		90 596a-03	NUT HEXAGONAL M3			USED FOR ITEM 121
2	S	S	S	124		90 5652-04	LOCK WASHER EXT. TOOTHED Ø3,2mm			USED FOR ITEM 121
				125						
-	1	1	1	126		324742-01	HEAT SINK			VENDOR: ASSMANN V4432 97x40mm
-	A/R	A/R	A/R	127		904907-01	HEAT SINK COMPOUND THERMAL CONDUCTIVE			USED ON VR1, VR2
				128						
				129						
-	2	2	2	130		906404-04	RIVED DOME HEAD CLOSED END			AT ASSEMBLY FOR ITEM 102 & 126
2	2	2	2	131		906404-04	RIVED DOME HEAD CLOSED END			AT ASSEMBLY FOR ITEM 105
				132						
				133						
				134						
				135						
				136						
				137						
				138						
				140						
				141						
				142						
				143						
				144						
				145						
				146						
				147						
				148						
				150						

commodore

TITLE: PCB ASSEMBLY 8032/8096 CR

DRWN BY:	DATE	ENGR:	DATE	SIZE		REV	SHT
CHKD:	21.10.83	APPR:		B	324645	D	6/7
	26.10.83						

1715 Gebr. Widmann